

四通道、8 位数模转换器

产品简述

MS5620 是一个四通道、串行 8 位电压输出数模转换器(DAC)，具有高阻抗缓冲基准输入。该 DAC 的电压输出范围从参考电压的 1 倍或 2 倍到地之间，而且保证是单调的。因为芯片工作在 3V~5V 的单电源电压下，所以简单易用。芯片的上电复位功能能够确保可重复的启动条件。

数字控制是通过与 CMOS 工艺兼容的三线串行总线来实现的，易于和工业标准的微处理器或微控制器接口。11 位命令字由 8 位数据位、2 位 DAC 通道选择位以及 1 位范围控制位组成。范围控制位使 DAC 的电压输出范围是参考电压的 1 倍或 2 倍。该 DAC 有两级锁存器，允许写入一组完整的数据，然后 LDAC 控制所有的 DAC 输出同时更新。数字输入带有施密特触发器，有一定的抗噪声能力。

MS5620 的小尺寸封装使得模拟功能的数字控制可以应用在对空间面积要求比较苛刻的场合，可以在 -40°C~85°C 温度范围内工作，而且不需要外部修调。

主要特点

- 四通道 8 位电压输出
- 3V~5V 单电源工作
- 串行接口
- 高阻抗基准输入
- 可编程 1 倍或 2 倍的输出范围
- 同时更新灵活
- 内部上电复位
- 低功耗
- 半缓冲输出



SOP14

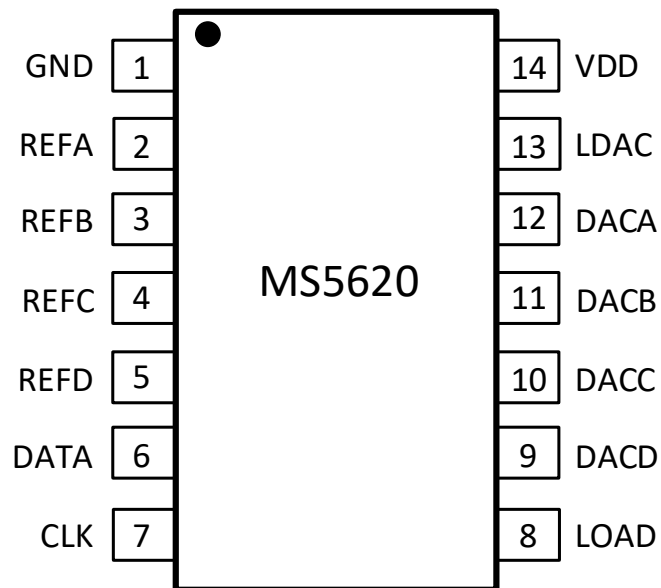
应用

- 可编程电压源
- 数字控制放大器/衰减器
- 移动通信
- 自动测试装置
- 过程监控
- 信号合成

产品规格分类

产品	封装形式	丝印名称
MS5620	SOP14	MS5620

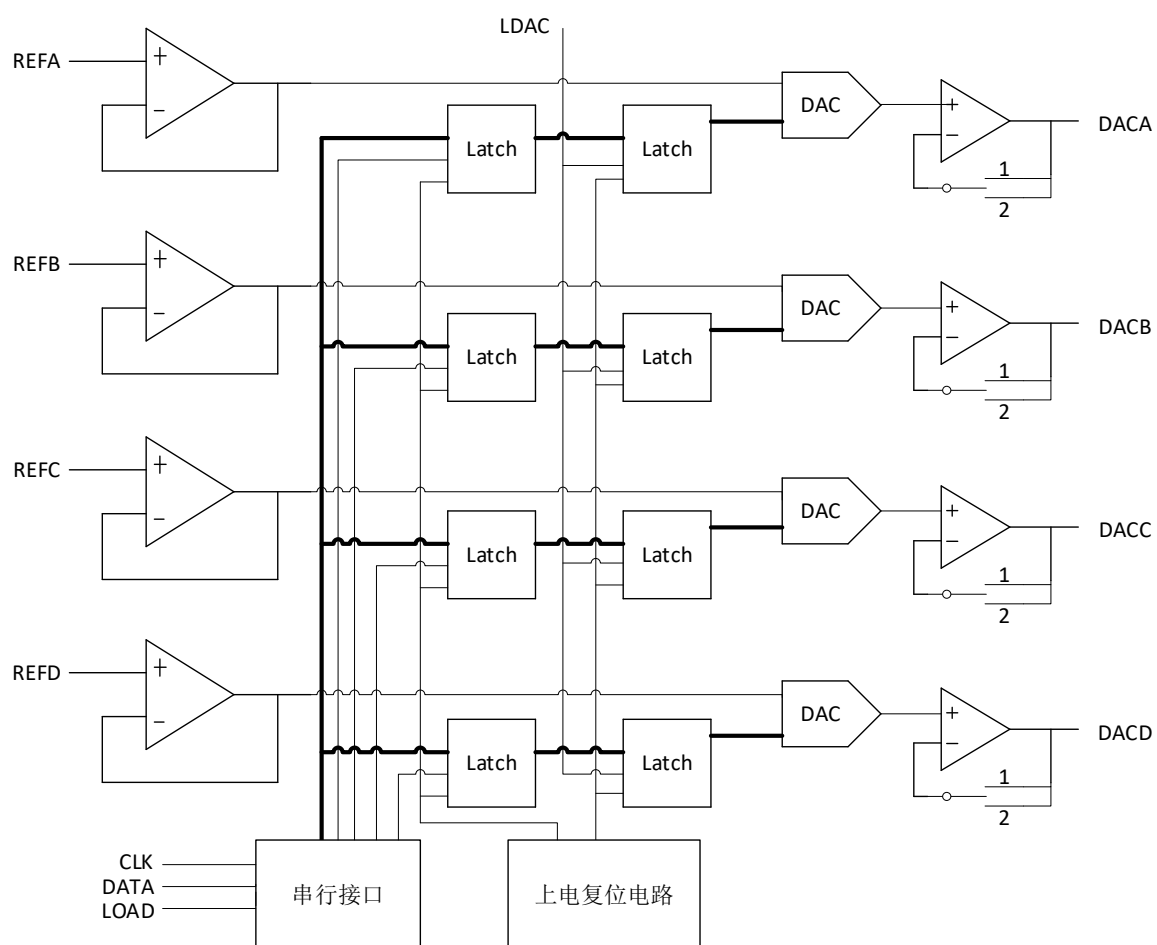
管脚图



管脚说明

管脚编号	管脚名称	管脚属性	管脚描述
1	GND	-	参考地电位
2	REFA	I	A 通道的参考电压
3	REFB	I	B 通道的参考电压
4	REFC	I	C 通道的参考电压
5	REFD	I	D 通道的参考电压
6	DATA	I	串行接口数字数据输入。每一位数据在时钟信号的下降沿被写入串行接口的寄存器中。
7	CLK	I	串行接口时钟。输入的串行数据在该输入时钟的下降沿时被写入串行接口的寄存器中。
8	LOAD	I	串行接口数据装载。当 LDAC 为低时，在 LOAD 的下降沿数据被锁存到输出锁存器，并立即在 DAC 被选择的通道中转换产生模拟信号。
9	DACD	O	D 通道模拟信号输出
10	DACC	O	C 通道模拟信号输出
11	DACB	O	B 通道模拟信号输出
12	DACA	O	A 通道模拟信号输出
13	LDAC	I	DAC 数据装载。当 LDAC 为高，输入的数据被读到串行接口时，DAC 的输出不会被更新。只有当 LDAC 由高变为低时，DAC 的输出才会更新。
14	VDD	--	电源电压

内部框图



极限参数

芯片使用中，任何超过极限参数的应用方式会对器件造成永久的损坏，芯片长时间处于极限工作状态可能会影响器件的可靠性。极限参数只是由一系列极端测试得出，并不代表芯片可以正常工作在此极限条件下。

参数	符号	额定值	单位
供电电压	VDD	7	V
数字输入电压范围		-0.3 ~ VDD+0.3	V
基准输入电压范围	V _{ID}	-0.3 ~ VDD+0.3	V
工作温度	TA	-40 ~ 85	°C
存储温度	T _{stg}	-50 ~ 150	°C
引脚温度（焊接 10s）		260	°C

推荐工作条件

参数	符号	最小	典型	最大	单位
电源电压	VDD	2.7		5.25	V
最大输入电压	V _{IH}	0.8VDD			V
最小输入电压	V _{IL}			0.8	V
参考电压	V _{REF} [A B C D]			VDD-1.5	V
负载电阻	R _L	10			kΩ
工作温度范围	TA	-40		85	°C

电气参数

除非特殊说明，VDD=3.3V±5%，VREF=2V，Gain=1。

参数	符号	测试条件	最小值	典型值	最大值	单位
高电平输入电流	I _{IH}	V _I =VDD			±10	μA
低电平输入电流	I _{IL}	V _I =0			±10	μA
电流沉输出	I _{O(sink)}	每个 DAC 输出	20			μA
电流源输出	I _{O(source)}	每个 DAC 输出	1			mA
输入电容	C _i			15		pF
输入参考电容				15		pF
电源电流	I _{DD}	VDD=3.3V			2	mA
输入基准电流	I _{ref}	VDD=3.3V, V _{REF} =1.5V			±10	μA
末端线性误差 ¹	E _L	V _{REF} =1.25V, Gain=2			±1	LSB
微分线性误差 ²	E _D	V _{REF} =1.25V, Gain=2			±0.9	LSB
零点误差 ³	E _{ZS}	V _{REF} =1.25V, Gain=2	0		30	mV
零点误差温度系数 ⁴		V _{REF} =1.25V, Gain=2		10		μV/°C
满刻度误差 ⁵	E _{FS}	V _{REF} =1.25V, Gain=2			±60	mV
满刻度误差温度系数 ⁶		V _{REF} =1.25V, Gain=2		±25		μV/°C
电源灵敏度 ^{7,8}	PSRR			0.5		mV/V

除非特殊说明，VDD=5V±5%，VREF=2V，Gain=1。

参数	符号	测试条件	最小值	典型值	最大值	单位
高电平输入电流	I _{IH}	V _I =VDD			±10	μA
低电平输入电流	I _{IL}	V _I =0			±10	μA
电流沉输出	I _{O(sink)}	每个 DAC 输出	20			μA
电流源输出	I _{O(source)}	每个 DAC 输出	2			mA
输入电容	C _i			15		pF
输入参考电容				15		pF
电源电流	I _{DD}	VDD=5V			2	mA
输入基准电流	I _{ref}	VDD=5V, V _{REF} =2V			±10	μA
末端线性误差 ¹	E _L	V _{REF} =2V, Gain=2			±1	LSB
微分线性误差 ²	E _D	V _{REF} =2V, Gain=2			±0.9	LSB
零点误差 ³	E _{ZS}	V _{REF} =2V, Gain=2	0		30	mV
零点误差温度系数 ⁴		V _{REF} =2V, Gain=2		10		μV/°C

参数	符号	测试条件	最小值	典型值	最大值	单位
满刻度误差 ⁵	EFS	V _{REF} =2V, Gain=2			±60	mV
满刻度温度系数 ⁶		V _{REF} =2V, Gain=2		±25		μV/°C
电源抑制比 ^{7,8}	PSRR			0.5		mV/V

注:

- 积分非线性误差是实际输出偏离从零点到满刻度这条曲线的最大值（不包括零点和满刻度误差）。
- 微分非线性误差是 1LSB 与 8 位数字码中任意两个相邻的数字码产生的输出电压的改变量之间的差值。单调意味着输出电压的变化方向与数字输入码的变化方向是一致的。
- 零点误差是指当输入为全 0 时，输出电压与 GND 的差值。
- 零点误差温度系数是由下面的公式确定的：

$$ZSETC = [ZSE(T_{max}) - ZSE(T_{min})] / V_{REF} \times 10^6 / (T_{max} - T_{min})$$

- 满刻度误差在负载电阻 10kΩ 的条件下，输入为全 1 时，实际电压输出与理想输出的差值。
- 满刻度误差温度系数是由下面的公式确定的：

$$FSETC = [FSE(T_{max}) - FSE(T_{min})] / V_{REF} \times 10^6 / (T_{max} - T_{min})$$

- 零点误差抑制比的测量：8 位数字输入为全 0，电源电压 VDD 从 4.75V 到 5.25V 变化时测量它对输出电压的影响。
- 满刻度误差抑制比的测量：8 位数字输入为全 1，电源电压 VDD 从 3V 到 3.6V 变化时测量它对输出电压的影响。

工作特性

1. 推荐工作条件下的工作特性

如无特殊说明, $V_{DD}=5V\pm5\%$, 或 $V_{DD}=3.3V\pm5\%$, $V_{REF}=2V$, $Gain=1$ 。

参数	测试条件	最小	典型	最大	单位
输出压摆率	$C_L = 100\text{ pF}, R_L = 10\text{ k}\Omega$		1		V/ μ s
输出建立时间	到 $\pm 0.5\text{LSB}$, $C_L = 100\text{ pF}, R_L = 10\text{ k}\Omega$, 见注 9		10		μ s
大信号带宽	-3dB 点测试		100		kHz
数字串扰	CLK=1MHz 的方波在 DACA-DACD 点测试		-50		dB
参考电压馈通	见注 10		-60		dB
通道隔离度	见注 11		-60		dB
参考电压输入带宽	见注 12		100		kHz

注:

9. 建立时间是从 LOAD 下降沿到 DAC 的输出达到满幅值的 $\pm 0.5\text{LSB}$ 以内时的时间。
10. 基准馈通是在数字输入为全 0, $V_{REF}=1V\text{ DC} + 1V_{pp}$, 频率为 10kHz 的条件下, 测量任意一个 DAC 的输出电压得到的。
11. 通道隔离的测试条件是: 输入频率为 10kHz, $V_{REF}=1V\text{ DC} + 1V_{pp}$, 一个通道数字输入为全 1, 其余三个通道输入为全 0。
12. 基准带宽是-3dB 带宽, 通过输入基准 $V_{REF}=1.25V\text{ DC} + 2V_{pp}$, 数字输入全 1 得到。

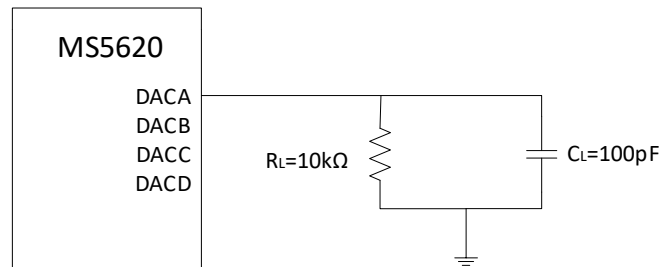
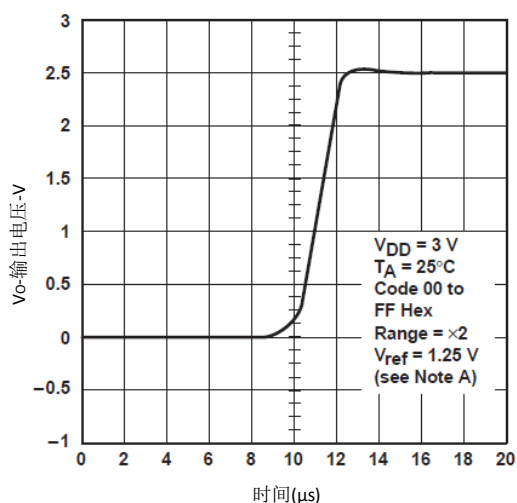
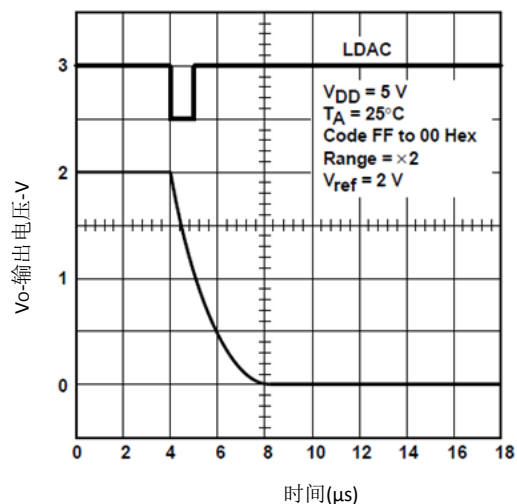
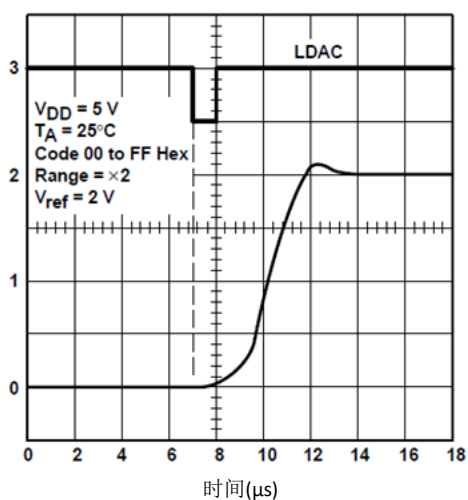
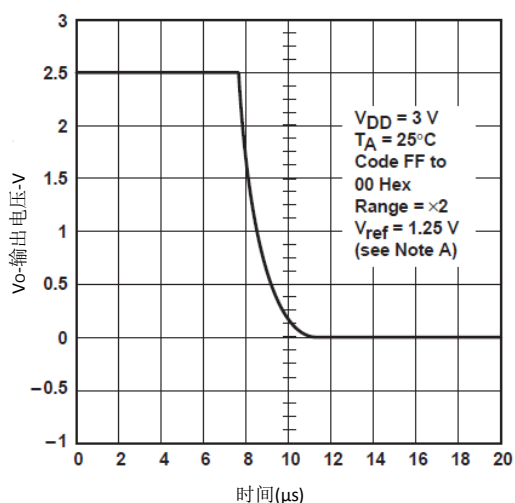


图 1. 摆率、建立时间和线性度的测量

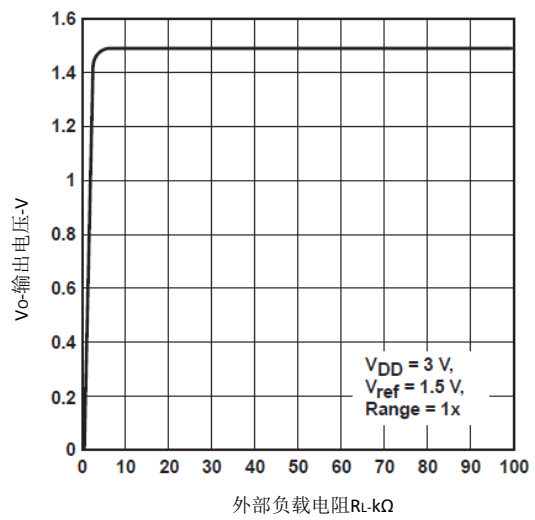
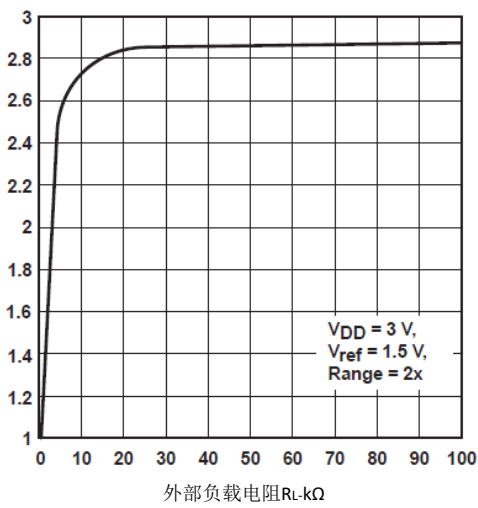
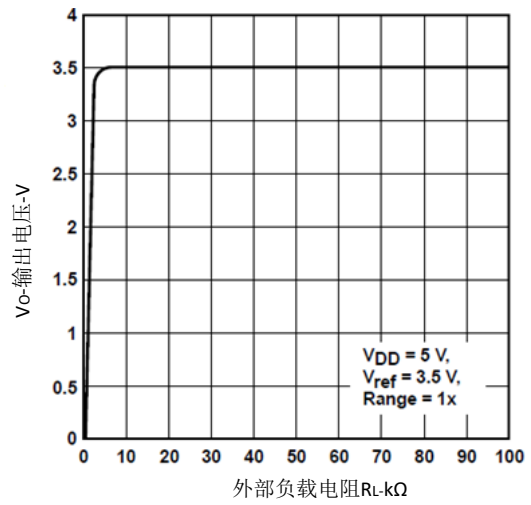
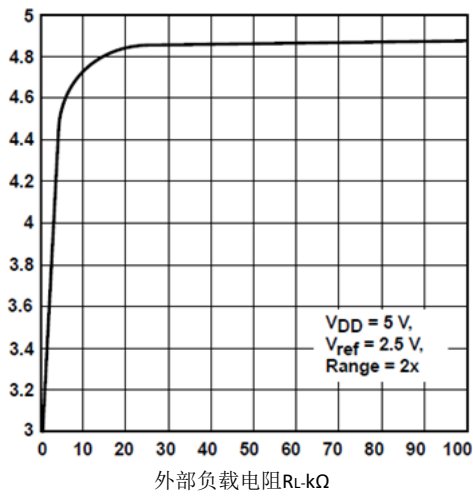
2. 典型特性

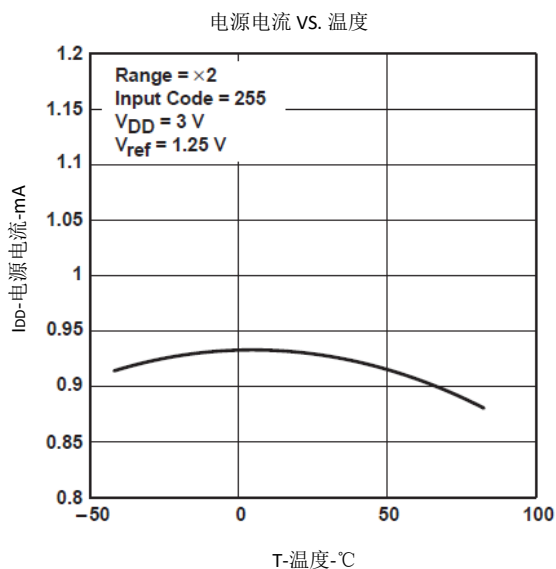
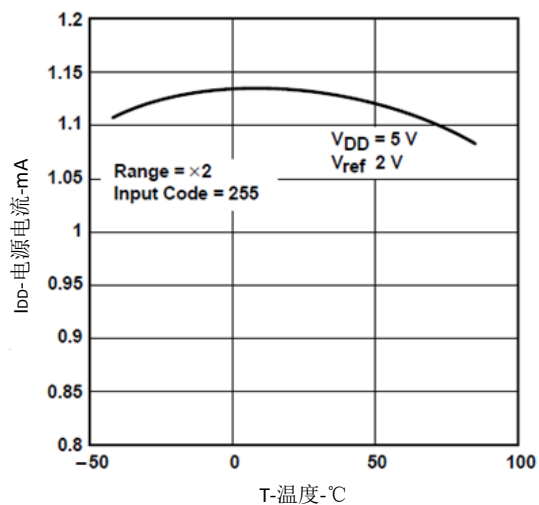
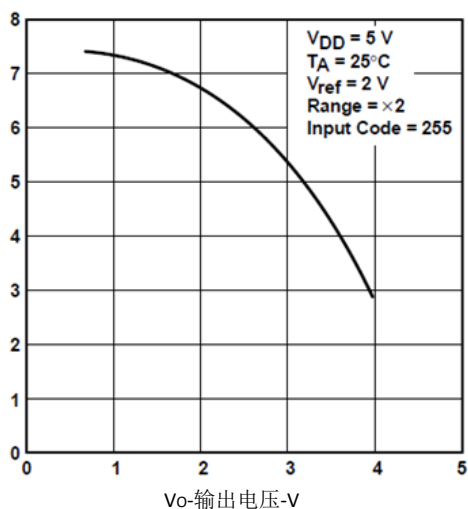


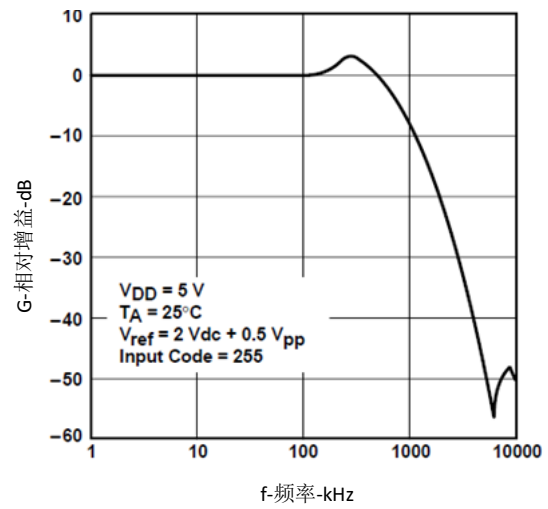
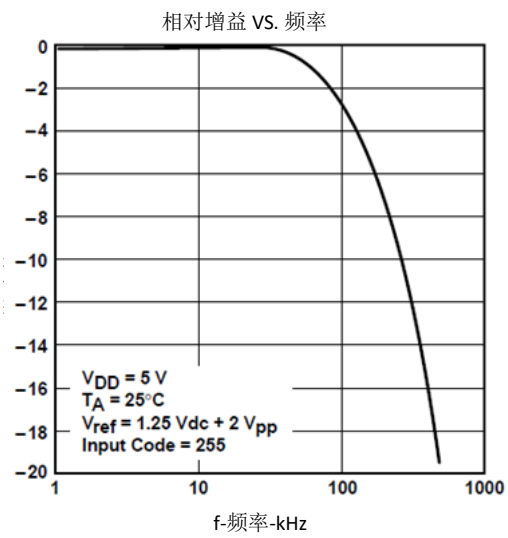
注：上升时间 $2.05\mu\text{s}$ ，正摆率 $0.96\text{V}/\mu\text{s}$ ，建立时间 $4.5\mu\text{s}$



注：下降时间 $4.25\mu\text{s}$ ，负摆率 $0.46\text{V}/\mu\text{s}$ ，建立时间 $8.5\mu\text{s}$







功能描述

1. 电阻串型 DAC

MS5620 由 4 路电阻串型 DAC 实现的，每一路 DAC 的核心是带 256 个抽头的电阻。表 1 是每个抽头处的电平和对应的 256 个数字码的对应关系。在每个电阻串中，电阻的一端连接 GND，另一端连接输入缓冲器的输出端。电阻串保证了单调性。线性度由电阻串的匹配精度和输出缓冲器的性能决定。参考电压输入缓冲器时，对于参考源来说，DAC 可以视为一个高阻抗的负载。每个 DAC 的输出均由可配置增益的运算放大器进行缓冲，选择 1 倍或 2 倍增益输出。电路上电时，DAC 的数字输入端被置为全 0。每个 DAC 的输出电压用下列公式表示：

$$V_o(\text{DACA}|B|C|D) = \text{REF} \times \frac{\text{CODE}}{256} \times (1 + \text{RNG})$$

CODE 的范围是 0~255，范围控制位 RNG 是 0 或 1，它位于串行命令字中。

表 1. 理想传输特性

D7	D6	D5	D4	D3	D2	D1	D0	输出电平
0	0	0	0	0	0	0	0	GND
0	0	0	0	0	0	0	1	$(1/256) \times \text{REF}(1 + \text{RNG})$
.
.
0	1	1	1	1	1	1	1	$(127/256) \times \text{REF}(1 + \text{RNG})$
1	0	0	0	0	0	0	0	$(128/256) \times \text{REF}(1 + \text{RNG})$
.
.
1	1	1	1	1	1	1	1	$(255/256) \times \text{REF}(1 + \text{RNG})$

2. 工作时序

MS5620 有 4 种可供选择的控制方式，分别如图 2-图 5 所示。

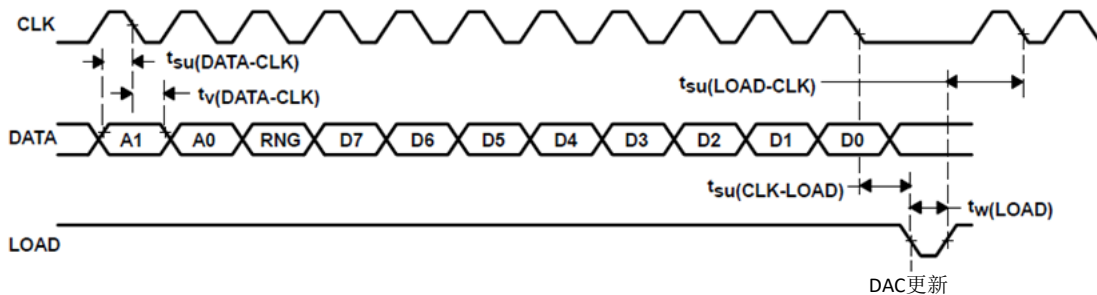


图2. LOAD 控制的输出更新(LDAC=Low)

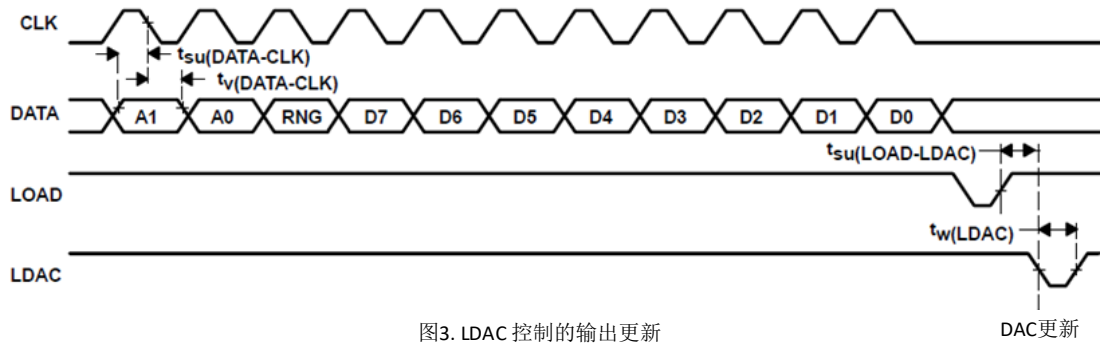


图3. LDAC 控制的输出更新

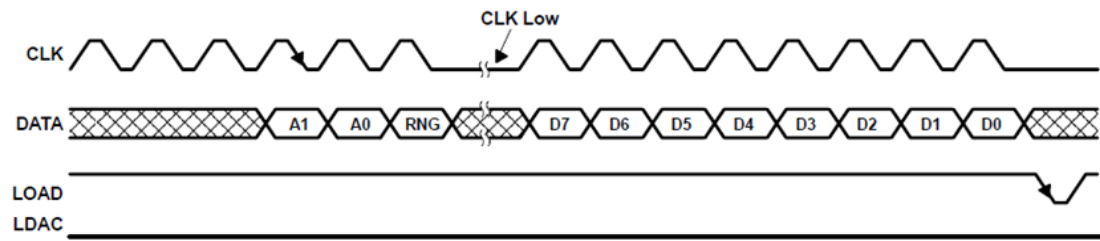


图4. LOAD 控制的输出更新，使用8位串行命令字 (LDAC=Low)

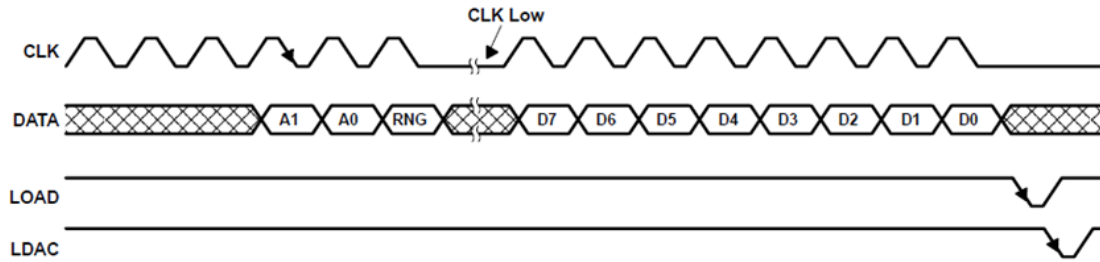


图5. LDAC 控制的输出更新，使用8位串行命令字

当 LOAD 为高时，在 CLK 的下降沿，DATA 引脚上的数据被写入锁存器。一旦所有的数据被锁存，LOAD 被拉低，数据从串行输入寄存器传送到选择的那一路 DAC，如图 2 所示。当 LDAC 为低时，DAC 的输出电压在 LOAD 变为低电平时立即被更新。在串行数据写入过程中 LDAC 为高时，新的数据被锁存，只有在等待 LDAC 被拉低时才进行数模转换，如图 3 所示。最高有效位(MSB)首先被写入，数据转换过程需要 8 个时钟周期，如图 4 和图 5 所示。表 2 列出了时序关系。

表 2. MS5620 的时序关系

描述	最小	典型	最大	单位
CLK 频率			1	MHz
建立时间，数据输入， $t_{su}(DATA-CLK)$ (见图 2 和图 3)	50			ns
有效时间，数据输入有效在 CLK↓后， $t_v(CLK_LOAD)$ (见图 2 和图 3)	50			ns
建立时间，CLK 下降沿到 LOAD， $t_{su}(CLK-LOAD)$ (见图 2)	50			ns
建立时间，LOAD↑到 CLK↓， $t_{su}(LOAD-CLK)$ (见图 2)	50			ns

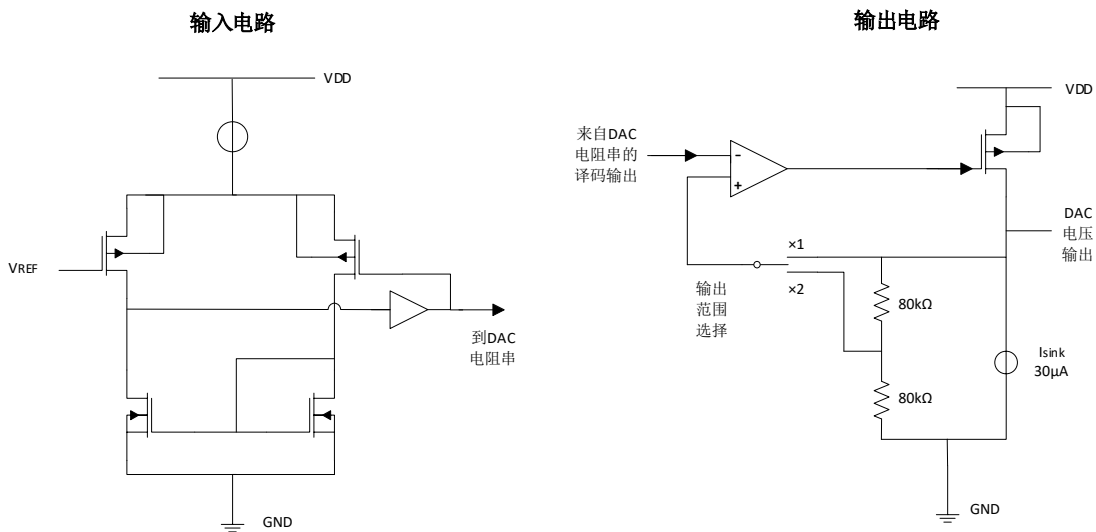
描述	最小	典型	最大	单位
脉冲宽度, LOAD, $t_{w(LOAD)}$ (见图 2)	250			ns
脉冲宽度, LDAC, $t_{w(LDAC)}$ (见图 3)	250			ns
建立时间, LOAD↑到 LDAC↓, $t_{su(LOAD-LDAC)}$ (见图 3)	0			ns

表 3 列举了 A1 和 A0 对应的 DAC 通路的的选择。RNG 位控制输出电压的范围。当 RNG = Low 时, 输出电压的范围介于参考电压和地之间。当 RNG = High, 输出电压的范围介于 2 倍的参考电压和地之间。

表 3. 串行输入译码

A1	A0	选择 DAC 通道
0	0	DACA
0	1	DACB
1	0	DACC
1	1	DACD

3. 等效输入与输出电路



4. 失调电压

运放单电源工作时, 它的失调电压可以是正或负。失调电压为正时, 输出电压在第一个码改变时就会发生变化。失调电压为负时, 输出电压在第一个数字码变化时可能不会变化, 这取决于失调电压的大小。

输出运放试图把输出驱动到一个负的电位上, 然而最小的负电源是地, 所以输出电压不可能低于地, 而是被钳位在 0V。

输出电压一直保持为 0，直到输入码能够在输出端产生足够正的电压以大于负的失调电压。转换关系如图 6 所示。

失调误差产生了折点，而不是线性误差。如果缓冲器输出可以小于 0，转换关系如虚线所示。

对于 DAC，线性度的测量通常是在失调和满刻度量程校准之后，输入从全 0 逐渐增大到全 1。然而，由于传输函数中的折点，单电源时负的失调电压不能被校准，所以这时线性度的测量是在满刻度码和产生最小正电压输出时的数字码之间进行的，这个数字码是根据负失调电压的最大值计算得到的。

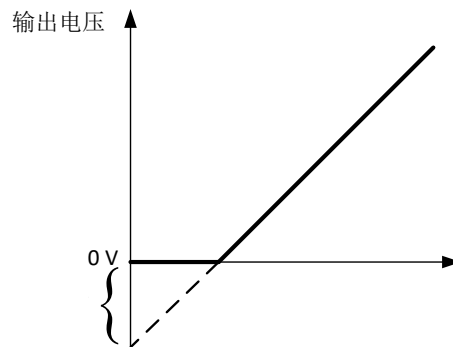


图6. 负的失调电压的影响（单电源供电）

典型应用图

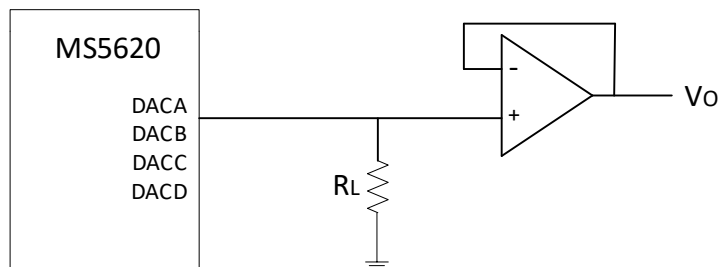
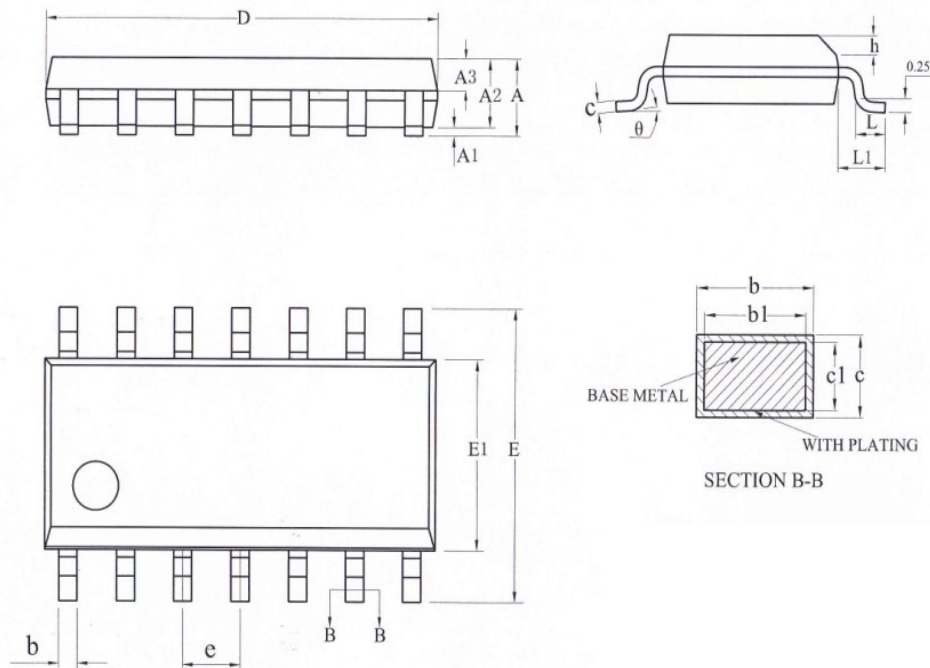


图7. 输出缓冲电路， $R_L \geq 10k\Omega$

封装外形图

SOP14



符号	尺寸 (毫米)		
	最小	典型	最大
A	--	--	1.75
A1	0.10	--	0.225
A2	1.30	1.40	1.50
A3	0.60	0.65	0.70
b	0.39	--	0.47
b1	0.38	0.41	0.44
c	0.20	--	0.24
c1	0.19	0.20	0.21
D	8.55	8.65	8.75
E	5.80	6.00	6.20
E1	3.80	3.90	4.00
e	1.27 BSC		
h	0.25	--	0.50
L	0.50	--	0.80
L1	1.05 REF		
θ	0°	--	8°

印章与包装规范

1. 印章内容介绍



产品型号：MS5620

生产批号：XXXXXXX

2. 印章规范要求

采用激光打印，整体居中且采用 Arial 字体。

3. 包装规范说明

型号	封装形式	只/卷	卷/盒	只/盒	盒/箱	只/箱
MS5620	SOP14	2500	1	2500	8	20000

声明

- 瑞盟保留说明书的更改权，恕不另行通知！客户在下单前应获取最新版本资料，并验证相关信息是否完整。
- 在使用瑞盟产品进行系统设计和整机制造时，买方有责任遵守安全标准并采取相应的安全措施，以避免潜在失败风险可能造成的人身伤害或财产损失！
- 产品提升永无止境，本公司将竭诚为客户提供更优秀的产品！



MOS 电路操作注意事项

静电在很多地方都会产生，采取下面的预防措施，可以有效防止 MOS 电路由于受静电放电的影响而引起的损坏：

- 1、操作人员要通过防静电腕带接地。
- 2、设备外壳必须接地。
- 3、装配过程中使用的工具必须接地。
- 4、必须采用导体包装或抗静电材料包装或运输。



+86-571-89966911



杭州市滨江区伟业路 1 号
高新软件园 9 号楼 701 室



[http:// www.relmon.com](http://www.relmon.com)