

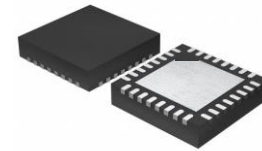
适用于 1MP/60fps 摄像头、37.5MHz~100MHz、10 位/12 位的串化器

产品简述

MS933NA 是 10 位/12 位串化器，支持 37.5MHz~100MHz 时钟，MS933NA 广泛应用于车载摄像、医疗设备、管道探测等领域。

主要特点

- 支持输入 37.5MHz 到 100MHz 的图像时钟
- 单个差分对互连
- 可编程数据有效负载
10 位/12 位有效负载达到 100MHz
- 具有连续低的等待时间且支持 400kHz I²C 的双向控制接口通道
- 2:1 多路调制器，用于在两个输入成像器间进行选择
- 提供稳定的同轴供电方式
- 能驱动 15 米的同轴或屏蔽双绞线
- 4 个通用输入/输出接口(GPIO)
- 兼容 1.8V、2.8V、3.3V 并行输入口
- 1.8V 单电源供电
- 温度范围：-40°C 至+105°C



QFN32

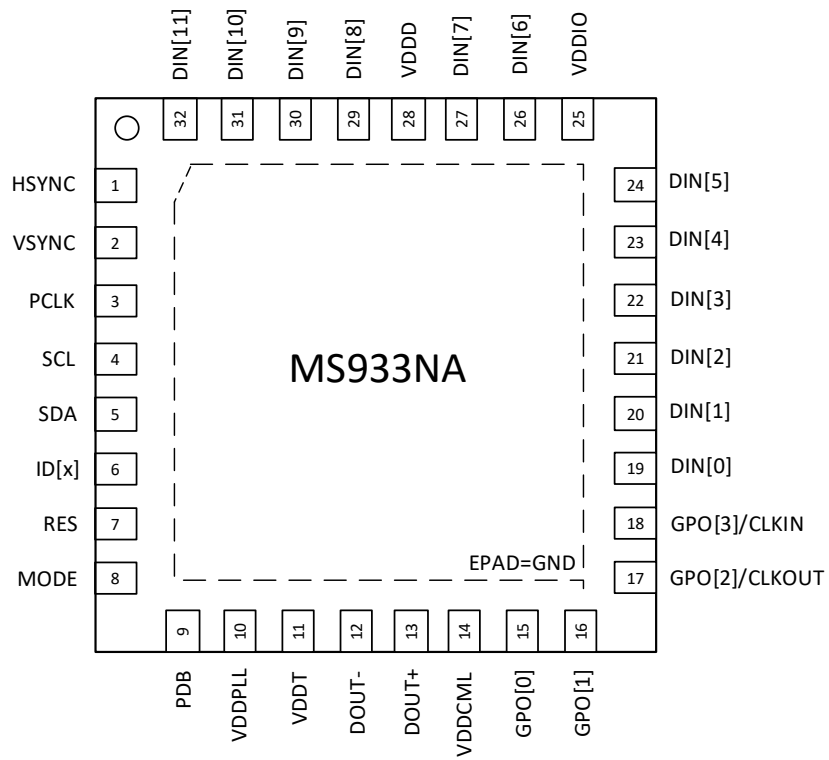
应用

- 车载摄像：环视摄像头、前置和后视镜摄像头，远程卫星雷达或激光雷达传感器
- 管道探测
- 医疗内窥镜

产品规格分类

产品	封装形式	丝印名称
MS933NA	QFN32	MS933NA

管脚图

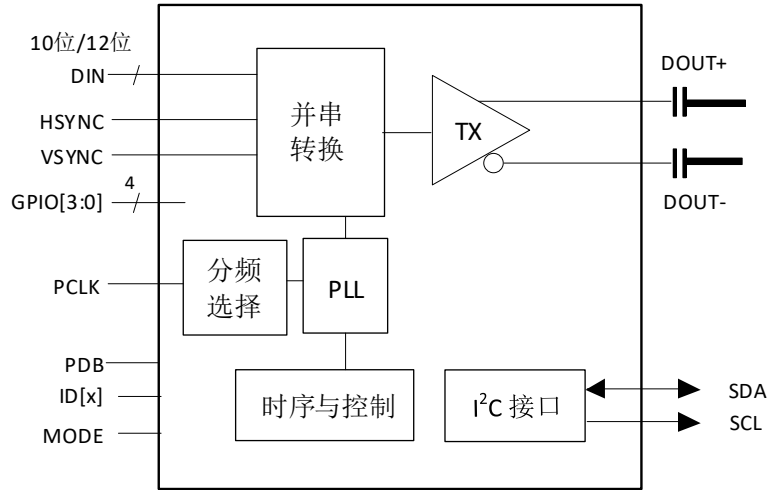


管脚说明

管脚名称	管脚编号	管脚属性	管脚描述
LVCOMS 并行接口			
DIN[0:11]	19,20,21,22,23, 24,26,27,29,30, 31,32	I	并行数据输入, LVCMOS 电平
HSYNC	1	I	水平同步输入, LVCMOS 电平
VSYNC	2	I	垂直同步输入, LVCMOS 电平
PCLK	3	I	像素时钟输入脚。通过 TRFB 控制寄存器, 选择选通脉冲边沿。LVCMOS 电平
通用输出口(GPO)			
GPO[1:0]	16,15	O	通用输出脚可以作为输出脚, 用来控制和响应各种命令。GPO[0:1]可以被来自解串器 GPIO[0:1]脚的输入信号配置为输出口或者配置为串化器中的本地寄存器的输出。LVCMOS 电平
GPO[2]/CLKOUT	17	O	GPO[2]脚可以被来自解串器 GPIO2 脚的输入信号配置为输出口或者配置为串化器中的本地寄存器的输出。当 MS933NA 使用外部晶振模式时, 它也能被配置为输出时钟脚。LVCMOS 电平
GPO[3]/CLKIN	18	O/I	GPO[3]脚可以被来自解串器 GPIO3 脚的输入信号配置为输出口或者配置为串化器中的本地寄存器的输出。当 MS933NA 使用外部晶振模式时, 它也能被配置为输入时钟脚。LVCMOS 电平
双向控制总线-I²C 兼容			
SCL	4	I/O	双向控制总线通信的时钟线, 漏极开路。 SCL 需要一个外部上拉电阻接到 V _{DDIO}
SDA	5	I/O	双向控制总线通信的数据线, 漏极开路。 SDA 需要一个外部上拉电阻接到 V _{DDIO}
MODE	8	I	器件模式选择, LVCMOS电平。 电阻到地和 10kΩ 上拉到 1.8V 电源。串化器中的 MODE 脚可用于选择系统工作的 PCLK 是来自成像器或者外部振荡器

管脚名称	管脚编号	管脚属性	管脚描述
ID[x]	6	I	器件 ID 地址选择。 ID[x]管脚可指定 I ² C 器件地址。电阻到地和 10kΩ 上拉到 1.8V 电源
控制和配置			
PDB	9	I	掉电模式输入管脚，LVCMOS电平。 PDB=H，串化器有效且工作； PDB=L，串化器进入掉电模式。此时，PLL 关闭，IDD 最小化，控制寄存器的值不能保持，被复位到默认值
RES	7	I	保留。该管脚必须接低电平
串化器接口			
DOUT+	13	I/O	正向差分输出。必须通过 100nF 电容进行 AC 耦合。CML 电平
DOUT-	12	I/O	反向差分输出。必须通过 100nF 电容进行 AC 耦合。CML 电平
电源和地			
VDDPLL	10	-	PLL 电源，1.8V±5%
VDDT	11	-	Tx 模拟电源，1.8V±5%
VDDCML	14	-	CML 电源，1.8V±5%
VDDD	28	-	数字电源，1.8V±5%
VDDIO	25	-	I/O 电源。SDA、SCL 电源。V _{DDIO} 可以连接到 1.8V±5%或 2.8V±10%或 3.3V±10%
EPAD	-	-	散热片，必须接地

内部框图



极限参数

芯片使用中，任何超过极限参数的应用方式会对器件造成永久的损坏，芯片长时间处于极限工作状态可能会影响器件的可靠性。极限参数只是由一系列极端测试得出，并不代表芯片可以正常工作在此极限条件下。

参数	额定值	单位
供电电压-V _{DDn} (1.8V)	-0.3 ~ +2.5	V
供电电压-V _{DDIO}	-0.3 ~ +4.0	V
LVC MOS 电平的管脚电压	-0.3 ~ + (V _{DDIO} +0.3)	V
CML 驱动器 I/O 电压 (V _{DD})	-0.3 ~ + (V _{DD} +0.3)	V
结温	+150	°C
存储温度	-65 ~ +150	°C
ESD (HBM)	>±8	kV
ESD (CDM)	>±1	kV

推荐工作条件

参数	符号	最小	典型	最大	单位
供电电压	V _{DDn}	1.71	1.8	1.89	V
LVC MOS 供电电压	V _{DDIO}	1.71	1.8	1.89	V
		3.0	3.3	3.6	V
		2.52	2.8	3.08	V
电源噪声	V _{DDn} (1.8V)			25	mVp-p
	V _{DDIO} (1.8V)			25	mVp-p
	V _{DDIO} (3.3V)			50	mVp-p
工作温度	T _A	-40	+25	+105	°C
PCLK 时钟频率	12 位模式	37.5		100	MHz
	10 位模式	50		100	MHz

电气参数

如无特别说明，以下参数在推荐的工作条件下测得。

参数	符号	测试条件		最小值	典型值	最大值	单位
LVC MOS 直流特性 3.3V I/O (串化器输入、GPO、控制端输入和输出)							
高电平输入电压	V_{IH}	$V_{IN}=3.0V\sim 3.6V$		2.0		V_{IN}	V
低电平输入电压	V_{IL}	$V_{IN}=3.0V\sim 3.6V$		GND		0.8	V
输入电流	I_{IN}	$V_{IN}=0V$ 或 $3.6V$ $V_{IN}=3.0V\sim 3.6V$		-20	± 1	+20	μA
高电平输出电压	V_{OH}	$V_{DDIO}=3.0V\sim 3.6V, I_{OH}=-4mA$		2.4		V_{DDIO}	V
低电平输出电压	V_{OL}	$V_{DDIO}=3.0V\sim 3.6V, I_{OL}=+4mA$		GND		0.4	V
输出短路电流	I_{OS}	$V_{OUT}=0V$	GPO 输出			-15	mA
三态输出电流	I_{OZ}	PDB=0V, $V_{OUT}=0V$ 或 V_{DD}	LVC MOS 输出	-20	± 1	+20	μA
LVC MOS 直流特性 1.8V I/O (串化器输入、GPO、控制端输入和输出)							
高电平输入电压	V_{IH}	$V_{IN}=1.71V\sim 1.89V$		$0.65V_{IN}$		V_{IN}	V
低电平输入电压	V_{IL}	$V_{IN}=1.71V\sim 1.89V$		GND		$0.35V_{IN}$	V
输入电流	I_{IN}	$V_{IN}=0V$ 或 $1.89V$ $V_{IN}=1.71V\sim 1.89V$		-20	± 1	+20	μA
高电平输出电压	V_{OH}	$V_{DDIO}=1.71V\sim 1.89V$ $I_{OH}=-4mA$		$V_{DDIO}-$ 0.45		V_{DDIO}	V
低电平输出电压	V_{OL}	$V_{DDIO}=1.71V\sim 1.89V$ $I_{OL}=+4mA$		GND		0.45	V
输出短路电流	I_{OS}	$V_{OUT}=0V$	GPO 输出			-11	mA
三态输出电流	I_{OZ}	PDB=0V, $V_{OUT}=0V$ 或 V_{DD}	LVC MOS 输出	-20	± 1	+20	μA
LVC MOS 直流特性 2.8V I/O (串化器输入、GPO、控制端输入和输出)							
高电平输入电压	V_{IH}	$V_{IN}=2.52V\sim 3.08V$		$0.7V_{IN}$		V_{IN}	V
低电平输入电压	V_{IL}	$V_{IN}=2.52V\sim 3.08V$		GND		$0.3V_{IN}$	V
输入电流	I_{IN}	$V_{IN}=0V$ 或 $3.08V$ $V_{IN}=2.52V\sim 3.08V$		-20	± 1	+20	μA
高电平输出电压	V_{OH}	$V_{DDIO}=2.52V\sim 3.08V, I_{OH}=-4mA$		$V_{DDIO}-0.4$		V_{DDIO}	V

参数	符号	测试条件		最小值	典型值	最大值	单位
低电平输出电压	V_{OL}	$V_{DDIO}=2.52V\sim 3.08V$, $I_{OL}=+4mA$		GND		0.4	V
输出短路电流	I_{OS}	$V_{OUT}=0V$	GPO 输出		-11		mA
三态输出电流	I_{OZ}	PDB=0V, $V_{OUT}=0V$ 或 V_{DD}	LVC MOS 输出	-20	± 1	+20	μA
CML 驱动器直流特性 (DOUT+, DOUT-)							
差分输出电压	V_{ODp-p}	$R_L=100\Omega$ (图 1, 图 2)		540	680	820	mV
单端输出电压	$ V_{OD} $	$R_L=50\Omega$ (图 1)		270	340	410	mV
非平衡差分输出电压	ΔV_{OD}	$R_L=100\Omega$			1	50	mV
输出电压偏移	V_{OS}	$R_L=100\Omega$ (图 1)			V_{DD-} $V_{OD}/2$		V
非平衡失调电压	ΔV_{OS}	$R_L=100\Omega$			1	50	mV
短路输出电流	I_{OS}	DOUT+/- =0V			-26		mA
差分内部端子电阻	R_T	DOUT+和 DOUT-的差		80	100	120	Ω
电源电流: 数字、PLL 和模拟电源							
V _{DDn} 电源电流 (包括负载电流)	I _{DDT}	R _L =100 Ω "0101..." 数据类型 (图 4)	V _{DDn} =1.8V V _{DDIO} =3.3V f=100MHz, 10 位模式 默认寄存器值		71	80	mA
			V _{DDn} =1.8V V _{DDIO} =3.3V f=100MHz, 12 位模式 默认寄存器值		76	85	mA

参数	符号	测试条件	最小值	典型值	最大值	单位	
V _{DDn} 电源电流 (包括负载电流)	I _{DDT}	R _L =100Ω PRBS-7 模式	V _{DDn} =1.8V V _{DDIO} =3.3V f=100MHz, 10 位模式 默认寄存器值		67	75	mA
			V _{DDn} =1.8V V _{DDIO} =3.3V f=100MHz, 12 位模式 默认寄存器值		72	80	mA
V _{DDIO} 电源电流 (包括负载电流)	I _{DDIOT}	R _L =100Ω "0101..."数据 类型 (图 4)	V _{DDIO} =1.8V f=100MHz, 12 位模式 默认寄存器值		1.5	3	mA
			V _{DDIO} =3.3V f=100MHz, 12 位模式 默认寄存器值		5	8	mA
掉电模式下的 电源电流	I _{DDTZ}	PDB=0V; 所有 LVCMOS 输入=0V	V _{DDIO} =1.8V 默认寄存器值		130	300	μA
			V _{DDIO} =3.3V 默认寄存器值		130	300	μA
掉电模式下的 V _{DDIO} 电源电流	I _{DDIOTZ}	PDB=0V; 所有 LVCMOS 输入=0V	V _{DDIO} =1.8V 默认寄存器值		15	100	μA
			V _{DDIO} =3.3V 默认寄存器值		15	100	μA

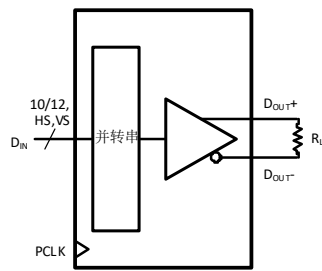


图 1. 串化器 VOD 框图

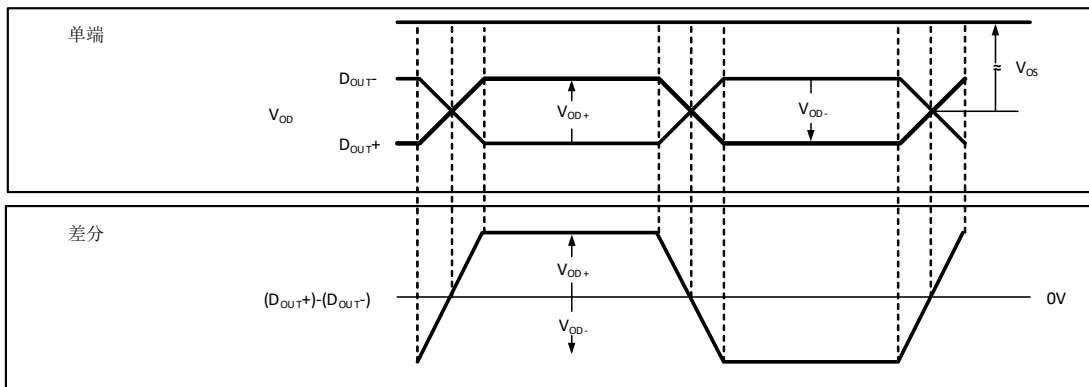


图 2. 差分 VOD 图

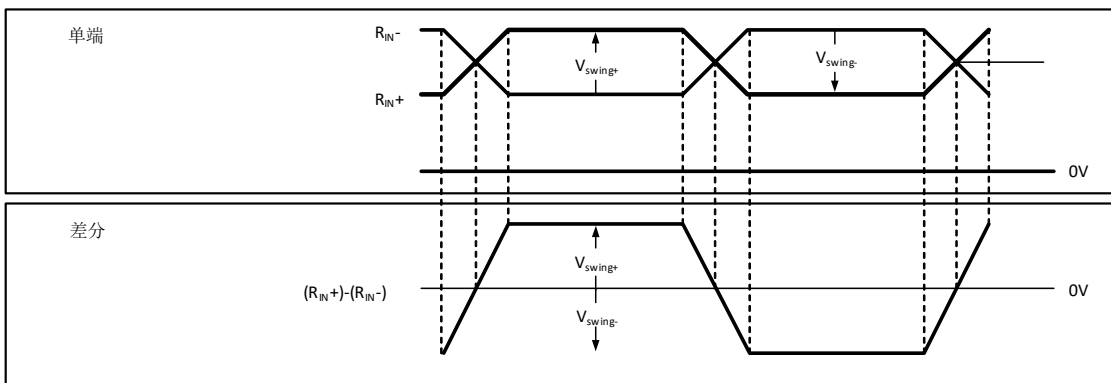


图 3. 差分 Vswing 图

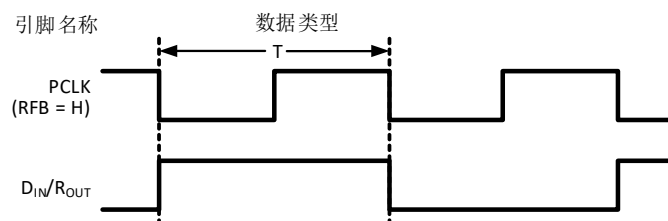


图 4. "0101..."数据测试模式

推荐的 PCLK 时序¹

如无特别说明，以下参数在推荐的工作条件下测得。

参数	符号	测试条件	频率	最小	典型	最大	单位
传输时钟周期	t _{TCP}	10 位模式		10	T	20	ns
		12 位模式		10	T	26.667	ns
传输时钟 输入高电平时间	t _{CIH}			0.4T	0.5T	0.6T	ns
传输时钟 输入低电平时间	t _{CIL}			0.4T	0.5T	0.6T	ns
PCLK 输入转换时间 (图 5)	t _{CLKT}	50MHz-100MHz 10 位模式		0.05T	0.25T	0.3T	ns
		37.5MHz-100MHz 12 位模式		0.05T	0.25T	0.3T	ns
PCLK 输入抖动 (来自成像器的 PCLK)	t _{JIT0}	串化器的 PLL 环路 带宽约为参考时 钟的 1/20。解串 器时钟数据恢复 电路中的 PLL 环路 带宽约为参考时 钟的 1/15	f _{PCLK} =37.5MHz~ 100MHz			0.45	UI
PCLK 输入抖动 (外部晶振模式)	t _{JIT1}	串化器的 PLL 环路 带宽约为参考时 钟的 1/20。解串 器时钟数据恢复 电路中的 PLL 环路 带宽约为参考时 钟的 1/15	f _{PCLK} =37.5MHz~ 100MHz		0.01T		
外部振荡器抖动	t _{JIT2}		f _{osc} =25MHz~ 66.67MHz			0.45	UI
CLKOUT 输出占空比	T _{dc}		f _{osc} =25MHz~ 66.67MHz	45		55	%
外部振荡器 频率稳定度	ΔOAS				±50		ppm

注：

1. 推荐的输入时序要求是设计输入规格，未在产品中测试。
2. T 代表 PCLK 周期。

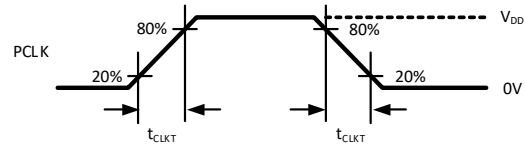


图 5. 串化器输入时钟转换时间

转换特性

如无特别说明，以下参数在推荐的工作条件下测得。

参数	符号	测试条件	最小值	典型值	最大值	单位
CML 低到高转换时间	t_{LHT}	$R_L=100\Omega$ (图 6)		100	220	ps
CML 高到低转换时间	t_{HLT}	$R_L=100\Omega$ (图 6)		100	220	ps
数据输入到 PCLK 的建立时间	t_{DIS}	串化器数据输入 (图 7)	2			ns
PCLK 到数据输入的保持时间	t_{DIH}		2			ns
串化器 PLL 锁定时间	t_{PLD}	$R_L=100\Omega^{1,2}$ (图 8)		1	2	ms
串化器延迟 ²	t_{SD}	$R_L=100\Omega$ 10 位模式 寄存器 0x03h b[0](TRFB=1) (图 9)	32.5T	38T	44T	ns
		$R_L=100\Omega$ 12 位模式 寄存器 0x03h b[0](TRFB=1) (图 9)	11.75T	13T	15T	ns
串化器输出总抖动峰峰值	$t_{JIND-PP}$	通过 PRBS-7 测试模式进行检测 ^{3,4}		0.1	0.4	UI
串化器抖动传输函数 -3dB 带宽 ⁵	λ_{STXBW}	PCLK=100MHz 10 位模式。默认寄存器值		2.2		MHz
		PCLK=100MHz 12 位模式。默认寄存器值		2.9		
串化器抖动传输函数 (峰值频率) ⁵	Δ_{stxf}	PCLK=100MHz 10 位模式。默认寄存器值		400		kHz
		PCLK=100MHz 12 位模式。默认寄存器值		500		

注：

- t_{PLD} 和 t_{DDLTL} 指的是，在 PCLK 有效情况下，掉电状态进入串化器锁定状态所需要的时间。
- 指标由设计确定。
- 典型值表示在 1.8V 或 3.3V、 $T_A=+25^\circ\text{C}$ 和推荐工作条件及产品特性未被指定情况下，最可能的参数标准。
- UI-单位间隔等于一个理想串化数据位宽。UI 以 PCLK 频率为标尺。
- 指标由特性参数确定，未在产品中测试。

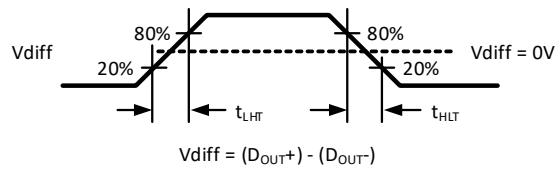


图 6. 串化器 CML 转换时间

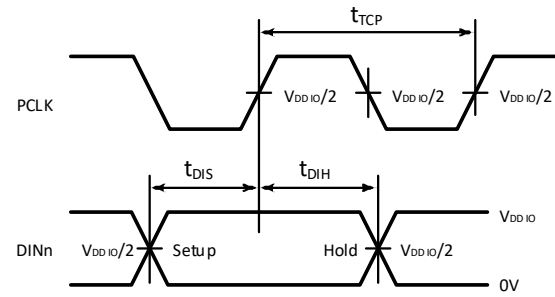


图 7. 串化器建立/保持时间

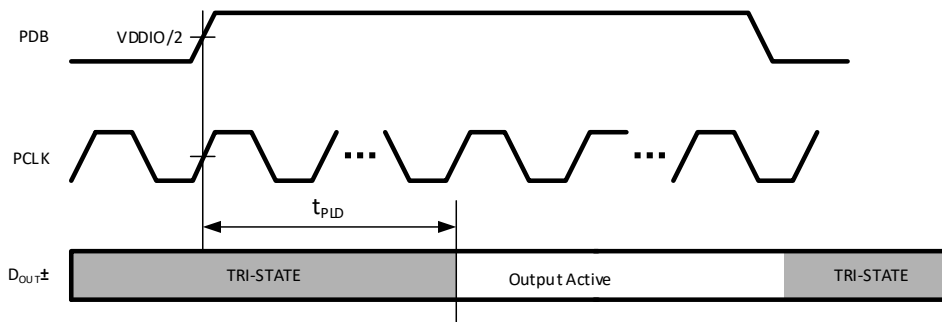


图 8. 串化器 PLL 锁定时间

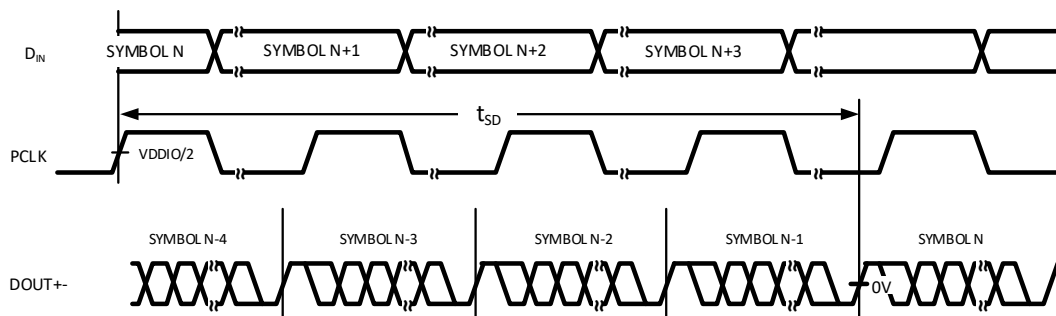


图 9. 串化器延时

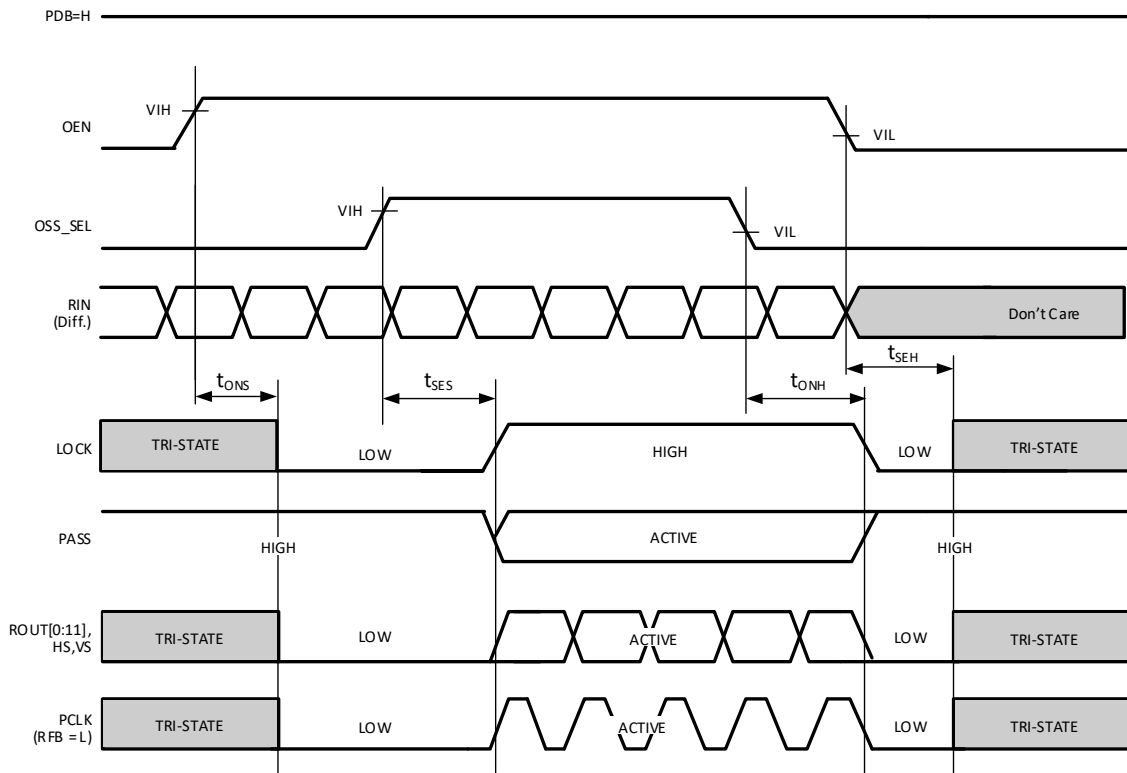


图 10. 输出状态（建立和保持）时间

交流时序(SCL,SDA)-I²C 接口适应

如无特别说明，以下参数在推荐的工作条件下测得。

参数	符号	测试条件	最小值	典型值	最大值	单位
推荐的输入时序要求						
SCL 时钟频率	f _{SCL}	标准模式	>0		100	kHz
		快速模式	>0		400	kHz
SCL 低电平周期	t _{LOW}	标准模式	4.7			μs
		快速模式	1.3			μs
SCL 高电平周期	t _{HIGH}	标准模式	4.0			μs
		快速模式	0.6			μs
起始条件或重复起始条件的保持时间	t _{HD:STA}	标准模式	4.0			μs
		快速模式	0.6			μs
起始条件或重复起始条件的建立时间	t _{SU:STA}	标准模式	4.7			μs
		快速模式	0.6			μs
数据保持时间	t _{HD:DAT}	标准模式	0		3.45	μs
		快速模式	0		900	μs
数据建立时间	t _{SU:DAT}	标准模式	250			μs
		快速模式	100			μs
停止条件的建立时间	t _{SU:STO}	标准模式	4.0			μs
		快速模式	0.6			μs
停止和起始间的总线空闲时间	t _{BUF}	标准模式	4.7			μs
		快速模式	1.3			μs
SCL 和 SDA 上升时间	t _r	标准模式			1000	ns
		快速模式			300	ns
SCL 和 SDA 下降时间	t _f	标准模式			300	ns
		快速模式			300	ns

双向控制总线直流时序(SCL,SDA)-I²C 适应¹

如无特别说明，以下参数在推荐的工作条件下测得。

参数	符号	测试条件	最小值	典型值	最大值	单位
推荐的输入时序要求						
输入高电平	V_{IH}	SDA 和 SCL	$0.7 \times V_{DDIO}$		V_{DDIO}	V
输入低电平	V_{IL}	SDA 和 SCL	GND		$0.3 \times V_{DDIO}$	V
输入迟滞	V_{HY}			>50		mV
输出低电平	V_{OL}	SDA, $I_{OL}=0.5mA$	0		0.4	V
输入电流	I_{IN}	SDA 或 SCL, $V_{IN}=V_{DDOP}$ 或 GND	-10		10	μA
SDA 上升时间-读	t_r	SDA, RPU=10k Ω , $C_b \leq 400pF$		400		ns
SDA 下降时间-读	t_f	图 11		20		ns
建立时间	$t_{SU:DAT}$	见图 11		550		ns
保持时间	$t_{HD:DAT}$	见图 11		610		ns
输入等效电容	C_{IN}	SDA 或 SCL		<5		pF

注 1: 指标由设计确定。

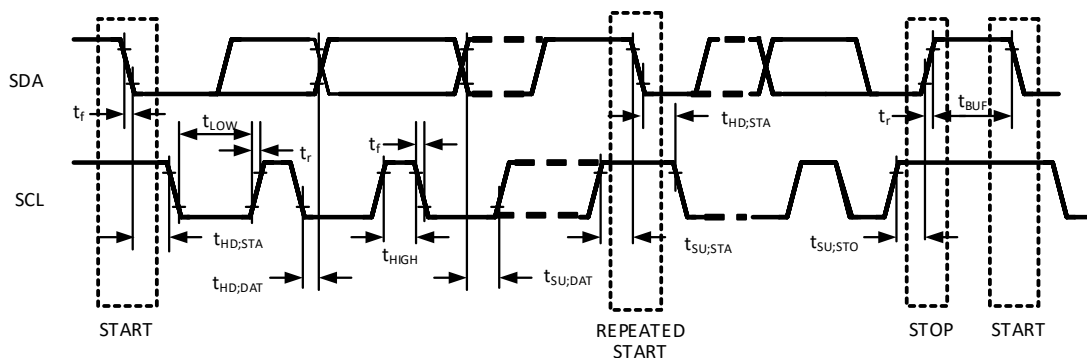


图 11. 双向控制总线时序

特性曲线

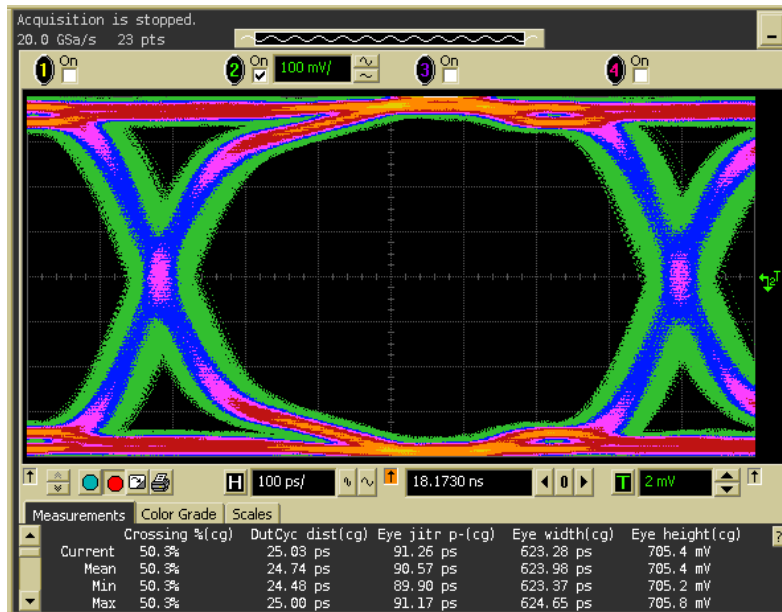


图 12. MS933NA CML 驱动器输出眼图：10 位模式 1.4Gbps，差分负载 $R_L=100\Omega$

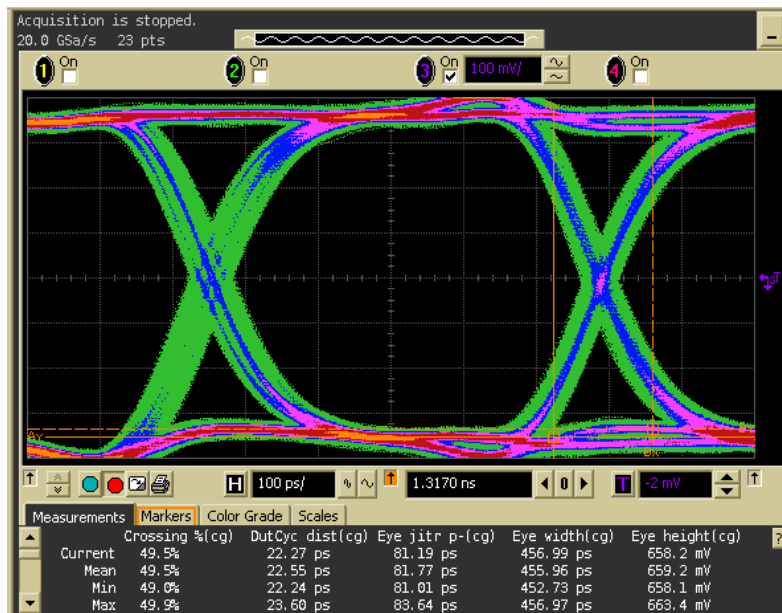


图 13. MS933NA CML 驱动器输出眼图：12 位模式 1.87Gbps，差分负载 $R_L=100\Omega$

典型应用图

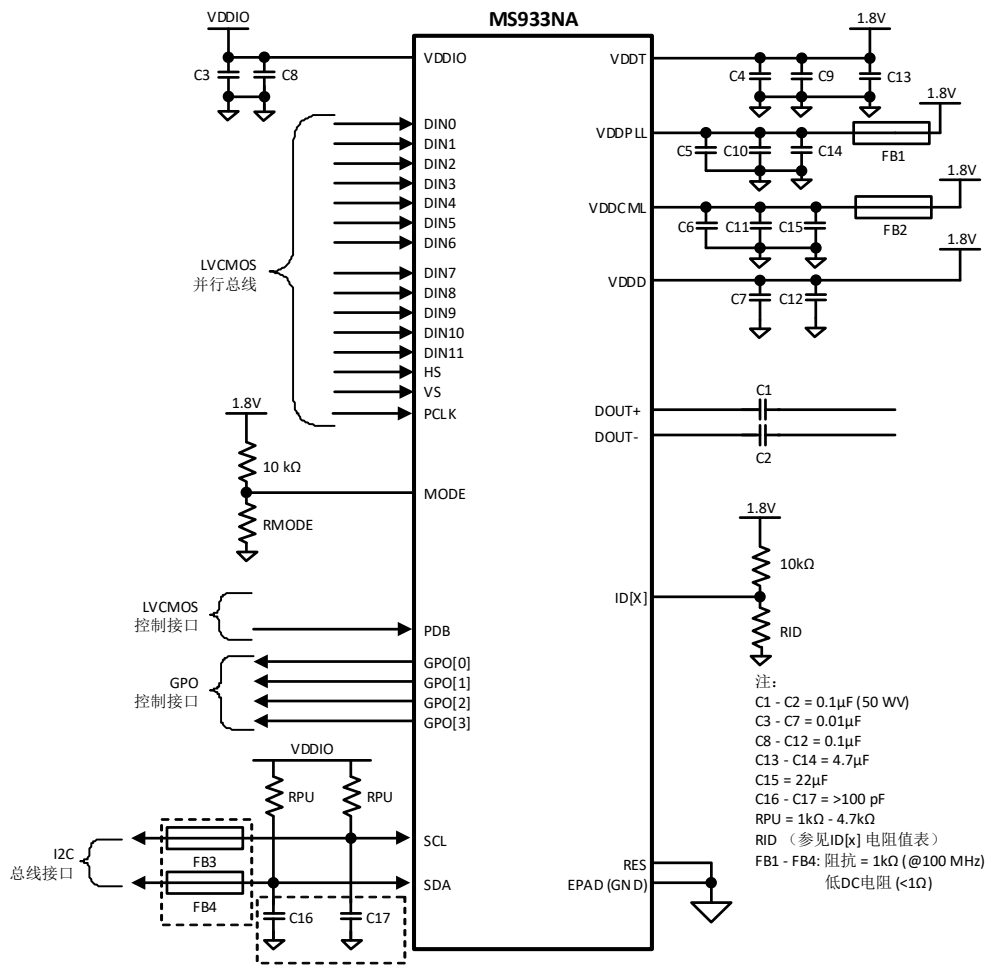
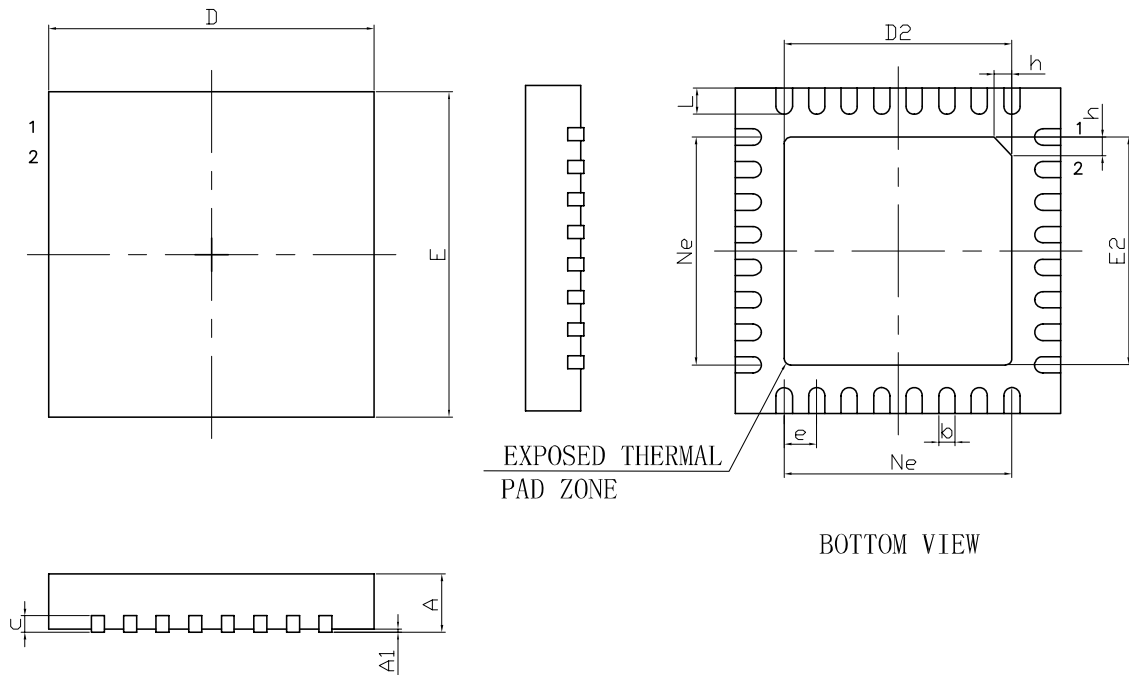


图 14. MS933NA 典型连接图-管脚控制

封装外形图

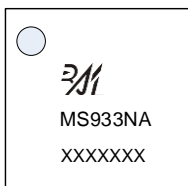
QFN32



符号	尺寸 (毫米)		
	最小	典型	最大
A	0.70	0.75	0.80
A1	-	0.02	0.05
b	0.18	0.25	0.30
c	0.18	0.20	0.25
D	4.90	5.00	5.10
D2	3.40	3.50	3.60
e	0.50BSC		
Ne	3.50BSC		
E	4.90	5.00	5.10
E2	3.40	3.50	3.60
L	0.35	0.40	0.45
h	0.30	0.35	0.40

印章与包装规范

1. 印章内容介绍



产品型号：MS933NA

生产批号：XXXXXXX

2. 印章规范要求

采用激光打印，整体居中且采用 Arial 字体。

3. 包装规范说明

型号	封装形式	只/卷	卷/盒	只/盒	盒/箱	只/箱
MS933NA	QFN32	1000	8	8000	4	32000

声明

- 瑞盟保留说明书的更改权，恕不另行通知！客户在下单前应获取最新版本资料，并验证相关信息是否完整。
- 在使用瑞盟产品进行系统设计和整机制造时，买方有责任遵守安全标准并采取相应的安全措施，以避免潜在失败风险可能造成的人身伤害或财产损失！
- 产品提升永无止境，本公司将竭诚为客户提供更优秀的产品！



MOS电路操作注意事项

静电在很多地方都会产生，采取下面的预防措施，可以有效防止 MOS 电路由于受静电放电的影响而引起的损坏：

- 1、操作人员要通过防静电腕带接地。
- 2、设备外壳必须接地。
- 3、装配过程中使用的工具必须接地。
- 4、必须采用导体包装或抗静电材料包装或运输。



+86-571-89966911



杭州市滨江区伟业路 1 号
高新软件园 9 号楼 701 室



[http:// www.relmon.com](http://www.relmon.com)