

16 位 Σ - Δ 模数转换电路

产品简述

MS7705/MS7706 是一款用于低频测量的模数转换器。它采用了 Σ - Δ 转换技术实现了输出结果为 16 位的无失码。工作电压范围为 2.7V-3.3V 或 4.75V-5.25V。

MS7705/MS7706 非常适合用于智能、微控制器或基于 DSP 的系统。它可通过串行接口来设置增益、信号极性以及输出速率。可以进行自校准和系统校准，从而来消除系统的增益和偏移误差。在待机模式下的功耗典型值为 20 μ W。

主要特点

- MS7705: 2 个全差分输入通道
- MS7706: 3 个伪差分输入通道
- 输出 16 位无失码
- 0.003%非线性
- 可编程的增益前端: 增益从 1 到 128
- 3 线串口: SPI、QSPI、MICROWIRE、DSP兼容
- 2.7 V 到 3.3 V 或 4.75 V 到 5.25 V 的工作电压
- 在 3V 的电源电压下, 最大功耗为 1mW
- 待机电流最大为 8 μ A
- SOW16、DIP16 封装



SOW16



DIP16

应用

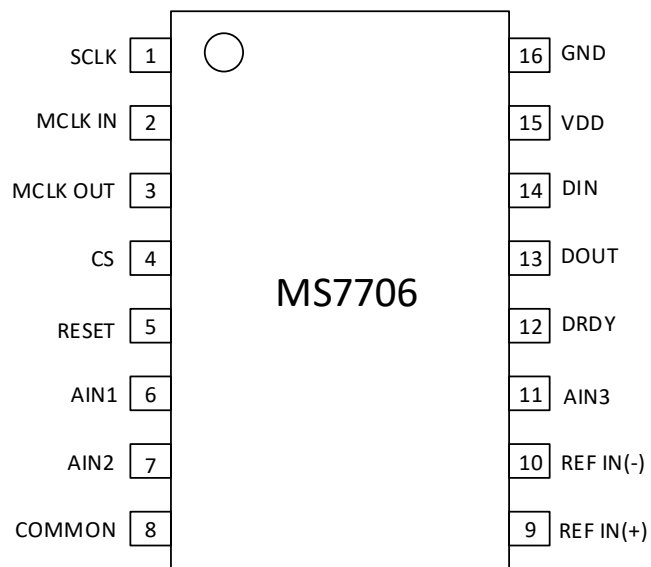
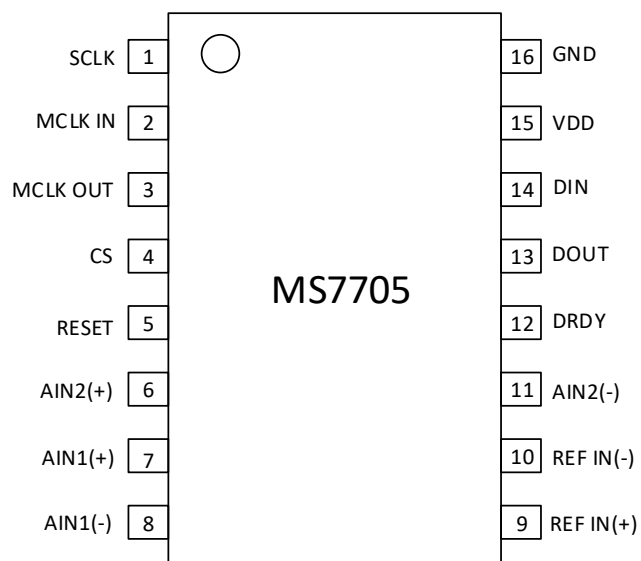
- 压力测量
- 温度测量
- 电池监控
- 智能发送器

产品规格分类

产品	封装形式	丝印名称
MS7705	SOW16	MS7705
MS7705D	DIP16	MS7705D
*MS7706	SOW16	MS7706
*MS7706D	DIP16	MS7706D

*暂未提供此封装, 如有需要, 请联系杭州瑞盟销售中心

管脚图

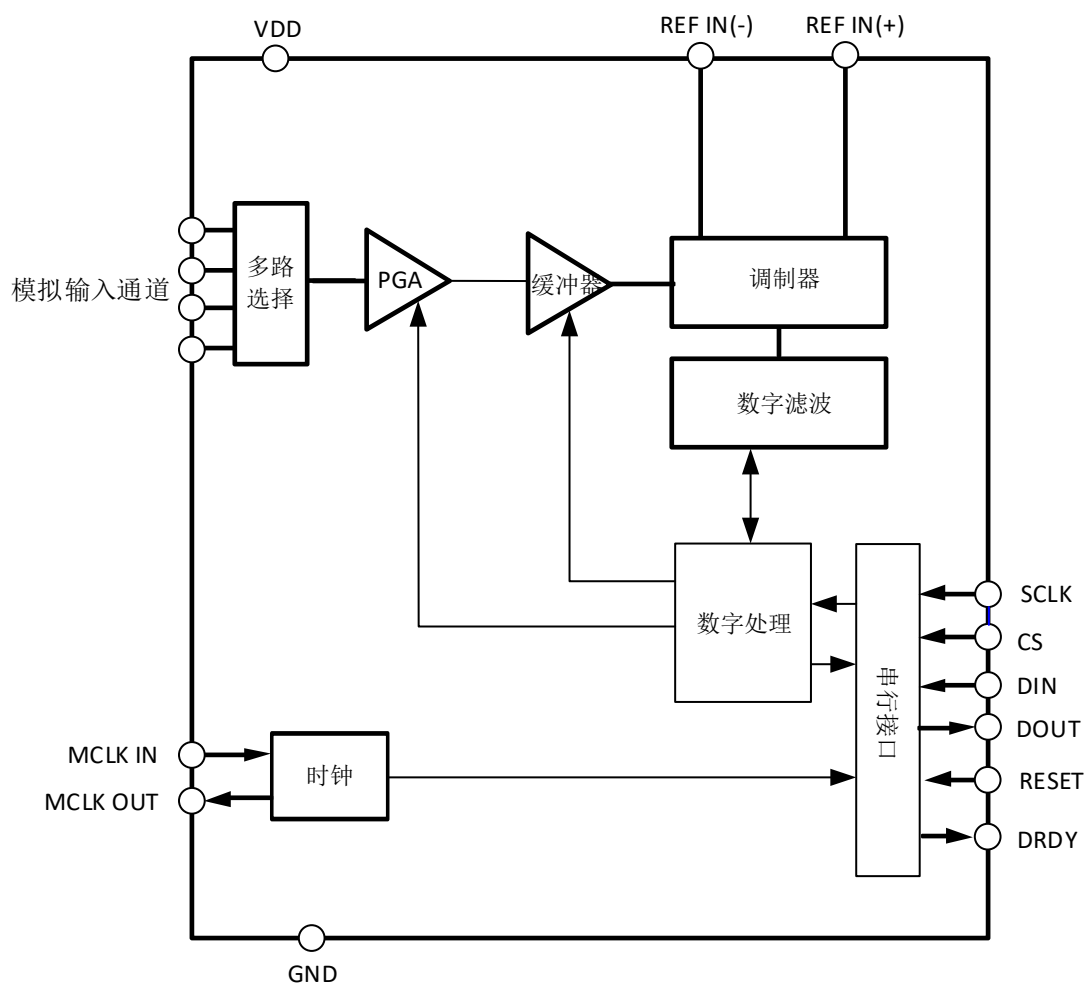


管脚说明

管脚编号	管脚名称		管脚属性	管脚描述
	MS7705	MS7706		
1	SCLK	SCLK	I	串行时钟输入
2	MCLK IN	MCLK IN	I	主时钟信号。能以晶体/谐振器或外部时钟的形式提供。晶体/谐振器可以接在 MCLK IN 和 MCLK OUT 二引脚之间。MCLK IN 也可用 CMOS 兼容的时钟驱动，而 MCLK OUT 不连接。时钟频率的范围为 500kHz ~ 5MHz。
3	MCLK OUT	MCLK OUT	O	当主时钟为晶体/谐振器时，被接在 MCLK IN 和 MCLK OUT 之间。如果在 MCLK IN 接外部时钟，MCLK OUT 将提供一个反相时钟信号。这个时钟可用来为外部电路提供时钟源，且可驱动一个 CMOS 负载。MCLK OUT 可以通过时钟寄存器中的 CLKDIS 位关掉。
4	CS	CS	I	片选，低电平有效的逻辑输入。 CS 可用作帧同步信号。
5	RESET	RESET	I	复位输入。低电平有效的输入。
6	AIN2(+)	AIN1	I	对于 MS7705，差分模拟输入通道 2 的正输入端。 对于 MS7706，模拟输入通道 1 的输入端。
7	AIN1(+)	AIN2	I	对于 MS7705，差分模拟输入通道 1 的正输入端； 对于 MS7706，模拟输入通道 2 的输入端。
8	AIN1(-)	COMMON	I	对于 MS7705，差分模拟输入通道 1 的负输入端； 对于 MS7706，COMMON 输入端，模拟通道 1、2、3 的输入以此输入端为基准。
9	REF IN(+)	REF IN(+)	I	基准输入端。基准输入是差分的，并规定 REF IN(+) 必须大于 REF IN(-)。REF IN(+) 可以取 VDD 和 GND 之间的任何值。
10	REF IN(-)	REF IN(-)	I	基准输入端。REF IN(-) 可以取 VDD 和 GND 之间的任何值，且满足 REF IN(+) 大于 REF IN(-)。
11	AIN2(-)	AIN3	I	对于 MS7705，差分模拟输入通道 2 的负输入端。 对于 MS7706，模拟输入通道 3 输入端。

管脚编号	管脚名称		管脚属性	管脚描述
	MS7705	MS7706		
12	DRDY	DRDY	O	逻辑输出。这个输出端上的逻辑低电平表示可从 MS7705/7706 的数据寄存器获取新的结果。完成对一个完全的输出字的读操作后，DRDY 引脚立即回到高电平。如果在两次输出更新之间，不发生数据读出，DRDY 将在下一次输出更新前 $500 \times t_{CLKIN}$ 时间返回高电平。当 DRDY 处于高电平时，不能进行读操作，以免数据寄存器中的数据正在被更新时进行读操作。当数据被更新后，DRDY 返回低电平。DRDY 也用来指示何时 MS7705/7706 已经完成片内的校准序列。
13	DOUT	DOUT	O	串行数据输出端
14	DIN	DIN	I	串行数据输入端
15	VDD	VDD	-	电源电压，+2.7V ~ +5.25V
16	GND	GND	-	内部电路的地电位基准点

内部框图



极限参数

芯片使用中，任何超过极限参数的应用方式会对器件造成永久的损坏，芯片长时间处于极限工作状态可能会影响器件的可靠性。极限参数只是由一系列极端测试得出，并不代表芯片可以正常工作在此极限条件下。

参数	符号	额定值	单位
电源电压	VDD	-0.3 ~ +7.0	V
模拟输入管脚电压	V _{IN}	-0.3 ~ VDD+0.3	V
基准输入电压	V _{REF}	-0.3 ~ VDD+0.3	V
数字管脚输入电压	V _{DIN}	-0.3 ~ VDD+0.3	V
数字管脚输出电压	V _{OUT}	-0.3 ~ VDD+0.3	V
工作温度范围	T _A	-40 ~ 85	°C
存储温度范围	T _{stg}	-60 ~ 150	°C
焊接温度		260	°C
静电保护	ESD	>4000	V

电气参数

若无特别说明, 则 VDD=3V, 5V 或 2.5V, REF(+)=1.225V, REF(-)=GND, MCLK IN=2.4576MHz。

参数	符号	测试条件	最小值	典型值	最大值	单位
静态性能						
无失码				16		Bits min
输出噪声			见表 2 和 4			
积分非线性 ¹				±0.003		%of FSR MAX
单极性偏移误差 ²						
单极性失调漂移 ³				0.5		μV/°C
双极性偏移误差 ²						
双极性失调漂移 ³		增益=1~4		0.5		μV/°C
		增益=8~128		0.1		
正满幅误差 ^{2,4}						
满幅漂移 ^{3,5}				0.5		μV/°C
增益误差 ^{2,6}						
增益漂移 ^{3,7}				0.5		ppm of FSR/°C
负满幅误差						
双极负满幅误差 ¹				±0.001	±0.003	%of FSR
双极负满幅漂移 ³		增益=1~4		1		μV/°C
		增益=8~128		0.6		μV/°C
模拟输入/基准输入（若无特别说明，仅用于 AIN 与 REF IN）						
共模抑制比 ¹	CMR	VDD=5V,增益=1		96		dB
		VDD=5V,增益=2		105		
		VDD=5V,增益=4		110		
		VDD=5V 增益=8~128		130		
		VDD=3V,增益=1		105		
		VDD=3V,增益=2		110		
		VDD=3V,增益=4		120		
		VDD=3 增益=8~128		130		

参数	符号	测试条件	最小值	典型值	最大值	单位
正常模式 50Hz 抑制比 ¹		滤波陷波 25Hz,50Hz, $\pm 0.02 \times f_{\text{NOTCH}}$		98		dB
		滤波陷波 20Hz,60Hz, $\pm 0.02 \times f_{\text{NOTCH}}$		98		dB
		滤波陷波 25Hz,50Hz, $\pm 0.02 \times f_{\text{NOTCH}}$		150		dB
		滤波陷波 20Hz,60Hz, $\pm 0.02 \times f_{\text{NOTCH}}$		150		dB
绝对/共模 REF IN 电压 ¹			GND		VDD	V
绝对/共模 AIN 电压 ^{1,8,9}		寄存器位 BUF=0	GND-0.1		VDD+0.03	V
绝对/共模 AIN 电压 ^{1,8}		寄存器位 BUF=1	GND+0.05		VDD-1.5	V
AIN 直流输入电流 ¹					1	nA
AIN 采样电容 ¹					10	pF
AIN 差分电压范围 ¹⁰		寄存器位 B/U=1		0~ +V _{REF} /Gain		V
		寄存器位 B/U=0		$\pm V_{\text{REF}}/\text{Gain}$ ¹¹		
AIN 输入采样速率	f _s			Gain×f _{CLKIN} /64		MHz
				f _{CLKIN} /8		
基准输入范围		VDD=2.7~3.3V	1		1.75	V
		V _{REF} =1.225±1%				
		VDD=4.75~5.25V	1		3.5	
		V _{REF} =2.5±1%				
基准输入采样速率				f _{CLKIN} /64		MHz
逻辑输入						
输入电流		除了 MCLK IN 外, 所有输入		±1nA	±1μA	μA
		MCLK IN		±2	±10	
输入低电平, 除了 SCLK 和 MCLK IN 外	V _{INL}	VDD=5V			0.8	V
		VDD=3V			0.4	

输入高电平，除了 SCLK 和 MCLK IN 外	V _{INH}	VDD=3 或 5V	2.0			V
仅 SCLK （施密特触发输入）	V _{T+}	VDD=5V	1.4		3	V
	V _{T-}		0.8		1.4	
	V _{T+} - V _{T-}		0.4		0.8	
	V _{T+}	VDD=3V	1		2	
	V _{T-}		0.4		1.1	
	V _{T+} - V _{T-}		0.375		0.8	
MCLK IN 低电平		VDD=5V			0.8	V
		VDD=3V			0.4	
逻辑输出（包括 MCLK OUT）						
输出低电压		VDD=5V,I _{SINK} =800μA （除 MCLK OUT 外） ¹²			0.4	V
		VDD=3V,I _{SINK} =100μA （除 MCLK OUT 外） ¹²			0.4	
输出高电压		VDD=5V,I _{SOURCE} =200μA （除 MCLK OUT 外） ¹²	4			V
		VDD=3V,I _{SOURCE} =100μA （除 MCLK OUT 外） ¹²	VDD-0.6			
悬空状态的漏电流					±10	μA
悬空态输出电容 ¹³				9		pF
数据输出编码		单极模式	二进制			
		双极模式	偏移二进制			
系统校准						
正满幅校准极限 ¹⁴		增益=1~128			(1.05×V _{REF})/Gain	V
负满幅校准极限 ¹⁴		增益=1~128			-(1.05×V _{REF})/Gain	V
偏移极限 ¹⁴		增益=1~128			-(1.05×V _{REF})/Gain	V
输入范围 ¹⁵		增益=1~128	(0.8×V _{REF})/Gain		(2.1×V _{REF})/Gain	V

参数	符号	测试条件	最小值	典型值	最大值	单位
功耗（应用外部时钟，CLKDIS =1，数字 I/Ps =0V 或 VDD）						
电源电流 ¹⁶	VDD=2.7~3.3V					
	I _{DD}	BUF=0,f _{CLKIN} =1MHz,增益=1~128			0.32	mA
		BUF=1,f _{CLKIN} =1MHz,增益=1~128			0.6	
		BUF=0,f _{CLKIN} =2.4576MHz,增益=1~4			0.4	
		BUF=0,f _{CLKIN} =2.4576MHz,增益=8~128			0.6	
		BUF=1,f _{CLKIN} =2.4576MHz,增益=1~4			0.7	
		BUF=1,f _{CLKIN} =2.4576MHz,增益=8~128			1.1	
	电源电流 ¹⁶	VDD=4.75~5.25V				
I _{DD}		BUF=0,f _{CLKIN} =1MHz,增益=1~128			0.45	mA
		BUF=1,f _{CLKIN} =1MHz,增益=1~128			0.7	
		BUF=0,f _{CLKIN} =2.4576MHz,增益=1~4			0.6	
		BUF=0,f _{CLKIN} =2.4576MHz,增益=8~128			0.85	
		BUF=1,f _{CLKIN} =2.4576MHz,增益=1~4			0.9	
		BUF=1,f _{CLKIN} =2.4576MHz,增益=8~128			1.3	
待机功耗 ¹⁷			MCLK IN = 0 V 或 VDD, VDD = 3 V		8	
		MCLK IN = 0 V 或 VDD, VDD = 5 V		16		
电源抑制比 ^{18,19}						dB

1. 这些数据是在最初设计时就已经确定的。
2. 校准是一次转换，误差表 2 和 4 所示转换就是这些噪声误差。适用于在期望的温度下校准后。
3. 在任何温度下进行重新校准后将会消除这些漂移误差。
4. 正满幅误差包括零幅误差（单极偏移误差或双极零点误差），它既适用于单极输入范围又适用于双极输入范围。
5. 满幅漂移包括了零幅漂移（单极偏移漂移和双极零点漂移），它既适用于单极输入范围又适用于双极输入范围。
6. 增益误差不包括零幅误差。它的计算方法为：单极范围时（满幅误差-单极偏移误差）；双极范围时（满幅误差-双极零点误差）。
7. 增益漂移不包括单极偏移漂移和双极零点漂移。当零幅校准执行后，增益漂移是系统的漂移量。
8. 共模电压范围：模拟输入电压（GND-100mV）到（VDD+30mV）。
9. MS7705/MS7706 的模拟输入电压可以最低可到 GND-200mV，但漏电流会增大。

10. 这里给出的 AIN(+)端的电压输入范围, 对于 MS7705 来说, 是指相对于 AIN(-)端的电压; 对于 MS7706 来说, 是指 COMMON 端。
11. $V_{REF} = REF\ IN(+) - REF\ IN(-)$ 。
12. 仅当加载一个 CMOS 负载时, 这些逻辑输出电平才适用于 MCLK OUT。
13. 在+25℃ 时测试样品, 以保证一致性。
14. 校准后, 若模拟输入超过正满幅, 转换器将输出全 1; 若低于负满幅, 转换器将输出全 0。
15. 在模拟输入端所加的校准电压的极限不应超过 VDD+30mV, 或小于 GND-100mV。偏移校准的极限适用于单极零点和双极零点。
16. 当使用晶体振荡器或陶瓷振荡器作为 MCLK 的时钟源时, VDD 的电流和功耗取决于晶体振荡器与陶瓷振荡器的类型 (见“时钟和振荡器电路”部分)。
17. 在待机模式下, 如果外部的主时钟持续工作, 待机电流典型值会增加到 150μ (VDD=5V), 或 75μA (VDD=3V)。当使用晶体振荡器或陶瓷振荡器作为时钟源时, 内部振荡器在待机模式下会一直工作, 电源电流会随着晶体振荡器和陶瓷振荡器的类型而变化 (见“待机模式”部分)。
18. 在直流下进行测量, 只适用于所选定的通带频率。50Hz 时, PSRR 超过 120dB (滤波器陷波为 25Hz 或 50Hz)。60Hz 时, PSRR 超过 120dB (滤波器陷波为 20Hz 或 60Hz)。
19. PSRR 由增益与电源决定, 如下:

增益	1	2	4	8~28
VDD=3V	86	78	85	93
VDD=5V	90	78	84	91

时序参数

若无特别说明，VDD=2.7~5.25V，GND=0V；f_{CLKIN}=2.4576MHz，

输入逻辑低电平为 0V，输入逻辑高电平为 VDD。

表 1. 时序特性 ^{1,2}

参 数	符 号	测 试 条 件	最小值	典型值	最大值	单位
主时钟频率 ^{3,4}	f _{CLKIN}		0.4		2.5	MHz
主时钟周期	t _{CLKIN}		2500		400	ns
主时钟低电平时间	t _{CLK LO}		0.4×t _{CLKIN}			ns
主时钟高电平时间	t _{CLK HI}		0.4×t _{CLKIN}			ns
CS 高电平时间	t ₁			500×t _{CLKIN}		ns
RESET 脉冲宽度	t ₂		100			ns
读操作						
DRDY 到 CS 建立时间	t ₃		0			
CS 下降沿到 SCLK 上升沿建立时间	t ₄		120			ns
SCLK 下降沿到数据有效的延时 ⁵	t ₅	VDD=5V	0		80	ns
		VDD=3V	0		100	
SCLK 高脉冲宽度	t ₆		100			ns
SCLK 低脉冲宽度	t ₇		100			ns
CS 上升沿到 SCLK 上升沿保持时间	t ₈		0			ns
SCLK 上升沿后总线的释放时间 ⁶	t ₉	VDD=5V	10		60	ns
		VDD=3V	10		100	
SCLK 下降沿到 DRDY 高电平 ⁷	t ₁₀				100	ns
写操作						
CS 下降沿到 SCLK 上升沿建立时间	t ₁₁		120			ns
数据有效到 SCLK 上升沿建立时间	t ₁₂		30			ns
数据有效到 SCLK 下降沿建立时间	t ₁₃		20			ns
SCLK 高脉冲宽度	t ₁₄		100			ns
SCLK 低脉冲宽度	t ₁₅		100			ns
CS 上升沿到 SCLK 上升沿保持时间	t ₁₆		0			ns

1. 在 25°C 下测试。所有的输入信号满足： $t_R=t_F=5\text{ns}$ （VDD 的 10%~90%），从 1.6V 开始计时。
2. 见图 7 和 8。
3. f_{CLKIN} 的占空比为 45%~55%。只要 MS7705/MS7706 不在待机模式下，就必须提供 f_{CLKIN} 。若没有提供时钟，器件会抽取比额定值更大的电流，并且可能会变成未校准的。
4. MS7705/MS7706 在生产测试时，使用 $f_{\text{CLKIN}}=2.4576\text{MHz}$ （1MHz 用于某些 I_{DD} 的测试）。以保证器件工作于 400kHz。
5. 这些数值是在图 1 所示的负载下测量的。它被定义为输出通过 V_{OL} 或 V_{OH} 所需要的时间。
6. 这些数值是在数据输出为 0.5V 时测量的（负载情况如图 1 所示）。然后通过被测量的数据又反推回来，以消除对 50pF 电容充放电的影响。这意味着参数表中的所有时间值都是真正的总线释放时间，因此与外部的负载电容无关。
7. 结果数据更新后， DRDY 回来第一次读取结果后变为高电平。当 DRDY 为高电平时，如果需要可以再次进行读操作，但需要注意后面的读操作不能与下次结果更新的时间间隔太短。

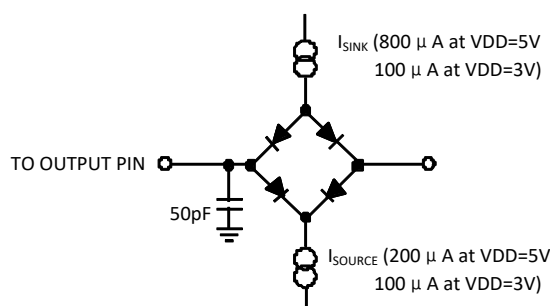


图 1. 负载电路（访问时间 and 总线释放时间）

输出噪声

表 2、4 显示了 MS7705/7706 在可选陷波与-3dB 频率时的输出噪声（有效值），由时钟寄存器 FS0 和 FS1 选择。数据是在双极性输入， $V_{REF}=+2.5V/1.225$ ， $VDD=5V/3V$ 时的数值。这些数值是器件工作在缓冲模式或非缓冲模式，模拟输入电压为 0V 时产生的典型值。

表 3、5 显示了输出噪声峰-峰值。注意这些数字所表示的分辨率是没有代码闪烁的。这些数值适用于缓冲模式和非缓冲模式下双极性输入范围（ $V_{REF}=+2.5V/+1.225$ ）。这些数值是典型值，并靠近最近的 LSB。要求时钟寄存器 CLKDIV 位置 0。

表 2. 输出噪声 vs 增益和输出速率 @5V

滤波陷波及 数据速率	-3dB 频率								
		增益 1	增益 2	增益 4	增益 8	增益 16	增益 32	增益 64	增益 128
MCLK IN = 2.4576MHz									
50Hz	13.1Hz	4.1	2.1	1.2	0.75	0.7	0.66	0.63	0.6
60Hz	15.72Hz	5.1	2.5	1.4	0.8	0.75	0.7	0.67	0.62
250Hz	65.5Hz	110	49	31	17	8	3.6	2.3	1.7
500Hz	131Hz	550	285	145	70	41	22	9.1	4.7
MCLK IN = 1MHz									
20Hz	5.24Hz	4.1	2.1	1.2	0.75	0.7	0.66	0.63	0.6
25Hz	6.55Hz	5.1	2.5	1.4	0.8	0.75	0.7	0.67	0.62
100Hz	26.2Hz	110	49	31	17	8	3.6	2.3	1.7
200Hz	52.4Hz	550	285	145	70	41	22	9.1	4.7

表 3. 有效位数 vs 增益和输出速率 @5V

滤波陷波及 数据速率	-3dB 频率								
		增益 1	增益 2	增益 4	增益 8	增益 16	增益 32	增益 64	增益 128
MCLK IN = 2.4576MHz									
50Hz	13.1Hz	16	16	16	16	16	16	15	14
60Hz	15.72Hz	16	16	16	16	15	14	14	13
250Hz	65.5Hz	13	13	13	13	13	13	12	12
500Hz	131Hz	10	10	10	10	10	10	10	10
MCLK IN = 1MHz									
20Hz	5.24Hz	16	16	16	16	16	16	15	14
25Hz	6.55Hz	16	16	16	16	15	14	14	13
100Hz	26.2Hz	13	13	13	13	13	13	12	12
200Hz	52.4Hz	10	10	10	10	10	10	10	10

表 4. 输出噪声 vs 增益和输出速率 @3V

滤波陷波及 数据速率	-3dB 频率								
		增益 1	增益 2	增益 4	增益 8	增益 16	增益 32	增益 64	增益 128
MCLK IN = 2.4576MHz									
50Hz	13.1Hz	3.8	2.4	1.5	1.3	1.1	1.0	0.9	0.9
60Hz	15.72Hz	5.1	2.9	1.7	1.5	1.2	1.0	0.9	0.9
250Hz	65.5Hz	50	25	14	9.9	5.1	2.6	2.3	2.0
500Hz	131Hz	270	135	65	41	22	9.7	5.1	3.3
MCLK IN = 1MHz									
20Hz	5.24Hz	3.8	2.4	1.5	1.3	1.1	1.0	0.9	0.9
25Hz	6.55Hz	5.1	2.9	1.7	1.5	1.2	1.0	0.9	0.9
100Hz	26.2Hz	50	25	14	9.9	5.1	2.6	2.3	2.0
200Hz	52.4Hz	270	135	65	41	22	9.7	5.1	3.3

表 5. 有效位数 vs 增益和输出速率 @3V

滤波陷波及 数据速率	-3dB 频率								
		增益 1	增益 2	增益 4	增益 8	增益 16	增益 32	增益 64	增益 128
MCLK IN = 2.4576MHz									
50Hz	13.1Hz	16	16	15	15	14	13	13	12
60Hz	15.72Hz	16	16	15	14	14	13	13	12
250Hz	65.5Hz	13	13	13	13	12	12	11	11
500Hz	131Hz	10	10	10	10	10	10	10	10
MCLK IN = 1MHz									
20Hz	5.24Hz	16	16	15	15	14	13	13	12
25Hz	6.55Hz	16	16	15	14	14	13	13	12
100Hz	26.2Hz	13	13	13	13	12	12	11	11
200Hz	52.4Hz	10	10	10	10	10	10	10	10

功能描述

片内寄存器

MS7705/7706 片内包括 8 个寄存器，这些寄存器通过器件的串行口访问。第 1 个是通信寄存器，它管理通道选择，决定下一个操作是读操作还是写操作，以及下一次读或写哪一个寄存器。所有与器件的通信必须从写入通信寄存器开始。上电或复位后，器件等待在通信寄存器上进行一次写操作。这一写到通信寄存器的数据决定下一次操作是读还是写，同时决定这次读操作或写操作在哪个寄存器上发生。所以，写任何其它寄存器首先要写通信寄存器，然后才能写选定的寄存器。所有的寄存器（包括通信寄存器本身和输出数据寄存器）进行读操作之前，必须先写通信寄存器，然后才能读选定的寄存器。此外，通信寄存器还控制等待模式和通道选择，此外 DRDY 状态也可以从通信寄存器上读出。

第 2 个寄存器是设置寄存器，决定校准模式、增益设置、单/双极性输入以及缓冲模式。第 3 个寄存器是时钟寄存器，包括滤波器选择位和时钟控制位。

第 4 个寄存器是数据寄存器，器件输出的数据从这个寄存器读出。最后一个寄存器是校准寄存器，它存储通道校准数据。下面分别作详细说明。

通信寄存器

(RS2,RS1,RS0=0,0,0)

通信寄存器是一个 8 位寄存器，既可以读出数据也可以把数据写进去。写上去的数据决定下一次读操作或写操作在哪个寄存器上发生。一旦在选定的寄存器上完成了下一次读操作或写操作，接口返回到通信寄存器接收一次写操作的状态。这是接口的默认状态，在上电或复位后，MS7705/7706 就处于这种默认状态等待对通信寄存器一次写操作。在接口序列丢失的情况下，如果在 DIN 高电平的写操作持续了足够长的时间（至少 32 个串行时钟周期），MS7705/7706 将会回到默认状态。

表 6. 通信寄存器

BIT	7	6	5	4	3	2	1	0
NAME	O/DRDY(0)	RS2(0)	RS1(0)	RS0(0)	R/W(0)	STBY(0)	CH1(0)	CH0(0)

注：括号内为上电复位的缺省值。

表 7. 通信寄存器每一位功能描述

寄存器	描述
O/DRDY	要对通信寄存器进行写操作，必须有一个“0”被写到这里。如果“1”被写到这里，后续各位将不能写入该寄存器。它会停留在该位直到有一个“0”被写入该位，后面 7 位将被装载到通信寄存器。对于读操作，该位提供器件的 DRDY 标志。该位的状态与 DRDY 输出引脚的状态相同。
RS2-RS0	寄存器选择位。这 3 位选择下次对哪一个 MS7705/7706 寄存器进行读/写操作。
R/W	读/写选择。这个位选择下次操作是对选定的寄存器读还是写。“0”表示下次操作是写，“1”表示下次操作是读。
STBY	等待模式。此位上写“1”，则处于等待或掉电模式。在这种模式下，器件消耗的电源电流仅为 10μA。在等待模式时，器件将保持它的校准系数和控制字信息。写“0”，器件处于正常工作模式。
CH1,CH0	通道选择。这 2 位为数据转换或访问校准系数选择一个通道，如表 9 所示。器件内的 3 对校准寄存器用来存储校准系数。表 9、表 10 指出了哪些通道组合是具有独立的校准系数的。当 CH1 为逻辑 1 而 CH0 为逻辑 0 时，由表可见对 MS7705/7706 是 AIN1(-)输入脚在内部自己短路。这可以作为评估噪声性能的一种测试方法（无外部噪声源）。在这种模式下，AIN1(-)/COMMON 输入端须连接至一个外部电压，并在允许的共模电压范围内。

表 8. 寄存器选择

RS2	RS1	RS0	寄存器	寄存器位数
0	0	0	通信寄存器	8 位
0	0	1	设置寄存器	8 位
0	1	0	时钟寄存器	8 位
0	1	1	数据寄存器	16 位
1	0	0	测试寄存器	8 位
1	0	1	无	
1	1	0	失调寄存器	24 位
1	1	1	增益寄存器	24 位

表 9. MS7705 输入通道选择

CH1	CH0	AIN (+)	AIN (-)	校准寄存器对
0	0	AIN1(+)	AIN1(-)	寄存器对 0
0	1	AIN2(+)	AIN2(-)	寄存器对 1
1	0	AIN1(-)	AIN1(-)	寄存器对 0
1	1	AIN1(-)	AIN2(-)	寄存器对 2

表 10. MS7706 输入通道选择

CH1	CH0	AIN	Reference	校准寄存器对
0	0	AIN1	COMMON	寄存器对 0
0	1	AIN2	COMMON	寄存器对 1
1	0	COMMON	COMMON	寄存器对 0
1	1	AIN3	COMMON	寄存器对 2

设置寄存器

(RS2,RS1,RS0=0,0,1), 上电/复位状态: 01Hex

设置寄存器是一个 8 位寄存器, 它既可以读数据又可将数据写入。

表 11. 设置寄存器

BIT	7	6	5	4	3	2	1	0
NAME	MD1(0)	MD0(0)	G2(0)	G1(0)	G0(0)	B/U(0)	BUF(0)	FSYNC(1)

表 12. 设置寄存器每一位功能描述

寄存器	描述
MD1,MD0	MSC 工作模式控制。这 2 位控制 MSC 的工作模式, 如表 13 所示。
G2-G0	增益选择位。这 3 位控制片内 PGA 的增益大小, 如表 14 所示。
B/U	双极性/单极性控制。“0”标示选择双极性工作, “1”标示单极性工作。
BUF	缓冲器控制。此位为“0”, 片内缓冲器短接, VDD 消耗电流减小。当此位为“1”, 片内缓冲器接入模拟输入, 可以接入更高阻抗的输入源。
FSYNC	滤波器同步。高电平时, 数字滤波器的节点、滤波器控制逻辑和校准控制逻辑处于复位状态下, 同时, 模拟调制器也被控制在复位状态下。低电平时, 调制器和滤波器开始处理数据, 并在 $3 \times (1/\text{输出速率})$ 时间内 (也就是滤波器的建立时间) 产生一个有效字。FSYNC 不影响数字接口, 也不使 DRDY 输出复位 (如果它是低电平)。

表 13. 工作模式选择

MD1	MD0	工作模式
0	0	正常模式, 在这种模式下, 转换器进行正常的模数转换。
0	1	自校准。在通信寄存器的 CH1 和 CH2 选中的通道上激活自校准。这是一步校准, 完成此任务后, 返回正常模式, 即 MD1 和 MD0 皆为 0。开始校准时 DRDY 输出脚或 DRDY 位为高电平, 自校准后回到低电平, 这时, 在数据寄存器产生一个新的有效字。零标度校准是在输入端内部短路 (零输入), 满标度校准是在选定的增益下及内部产生的 V_{REF} /选定增益条件下完成的。
1	0	零标度系统校准。在通信寄存器的 CH1 和 CH2 选中的通道上激活零标度系统校准。当这个校准序列时, 模拟输入端上的输入电压在选定的增益下完成校准。在校准期间, 输入电压应保持稳定。开始校准时 DRDY 输出或 DRDY 位为高电平, 零标度系统校准完成后又回到低电平, 这时, 在数据寄存器上产生一个新的有效字。校准结束时, 器件回到正常模式, 即 MD1 和 MD0 皆为 0。
1	1	满标度系统校准: 在选定的输入通道上激活满标度系统校准。当这个校准序列时, 模拟输入端上的输入电压在选定的增益下完成校准。在校准期间, 输入电压应保持稳定。开始校准时 DRDY 输出或 DRDY 位为高电平, 满标度系统校准完成后又回到低电平, 这时, 在数据寄存器上产生一个新的有效字。校准结束时, 器件回到正常模式, 即 MD1 和 MD0 皆为 0。

表 14. 增益选择

G2	G1	G0	增益选择
0	0	0	1
0	0	1	2
0	1	0	4
0	1	1	8
1	0	0	16
1	0	1	32
1	1	0	64
1	1	1	128

时钟寄存器

(RS2,RS1,RS0 = 0,1,0),上电/复位状态: 05Hex

时钟寄存器是一个可以读/写数据的 8 位寄存器。

表 15. 时钟寄存器

BIT	7	6	5	4	3	2	1	0
NAME	ZERO(0)	ZERO(0)	ZERO(0)	CLKDIS(0)	CLKDIV(0)	CLK(1)	FS1(0)	FS0(0)

表 16. 时钟寄存器每一位功能描述

寄存器	描述
ZERO	写 0。必须在这些位上写零，以确保 MS7705/7706 正确操作。否则，会导致器件的非指定操作
CLKDIS	主时钟禁止位。逻辑“1”表示阻止主时钟在 MCLK OUT 引脚上输出。 禁止时，MCLK OUT 输出引脚处于低电平。这种特性使用户可以灵活地使用 MCLK OUT 引脚，例如可将 MCLK OUT 作为系统内其它器件的时钟源，也可关掉 MCLK OUT，使器件具有省电性能。当在 MCLK IN 上连一个外部主时钟，MS7705/7706 继续保持内部时钟，并在 CLKDIS 位有效时仍能进行正常转换。当在 MCLK IN 和 MCLK OUT 之间接一个晶体振荡器或一个陶瓷谐振器，则当 CLKDIS 位有效时，MS7705/7706 时钟将会停止，也不进行模数转换。
CLKDIV	时钟分频器位。CLKDIV 置为逻辑 1 时，MCLK IN 引脚处的时钟频率在被 MS7705/7706 使用前进行 2 分频。例如，将 CLKDIV 置为逻辑 1，用户可以在 MCLK IN 和 MCLK OUT 之间用一个 4.9152MHz 的晶体，而在器件内部用规定的 2.4576MHz 进行操作。CLKDIV 置为逻辑 0，则 MCLK IN 引脚处的频率实际上就是器件内部的频率。
CLK	时钟位。CLK 位应根据 MS7705/7706 的工作频率而设置。如果转换器的主时钟频率为 2.4576MHz(CLKDIV=0)或为 4.9152MHz(CLKDIV=1)，CLK 应置“1”。如果器件的主时钟频率为 1MHz(CLKDIV=0)或 2MHz(CLKDIV=1)，则该位应置“0”。该位为给定的工作频率设置适当的标度电流，并且也（与 FS1 和 FS0 一起）选择器件的输出更新率。如果 CLK 没有按照主时钟频率进行正确的设置，则 MS7705/7706 的工作将不能达到指标。
FS1,FS0	滤波器选择位，它与 CLK 一起决定器件的输出更新率。表 17 显示了滤波器的第一陷波和-3dB 频率。片内数字滤波器产生 sinc3（或(sinx/x)3）滤波器响应。与增益选择一起，它也决定了器件的输出噪声。改变滤波器的陷波以及选定的增益将影响分辨率。表 2 至表 5 示出了滤波器的陷波频率和增益对输出噪声和器件分辨率的影响。器件的输出数据率（或有效转换时间）等于由滤波器的第一个陷波选定的频率。例如，如果滤波器的第一个陷波选在 50Hz，则每个字的输出率为 50Hz，即每 2ms 输出一个新字。当这些位改变后，必须进行一次校准。达到满标度步进输入的滤波器的稳定时间，在最坏的情况下是 $4 \times (1/\text{输出数据率})$ 。例如，滤波器的第一个陷波在 50Hz，则达到满标度步进输入的滤波器的稳定时间是 80ms（最大）。 如果第一个陷波在 500Hz，则稳定时间为 8ms（最大）。通过对步进输入的同步，这个稳定时间可以减少到 $3 \times (1/\text{输出数据率})$ 。换句话说，如果在 FSYNC 位为高时发生步进输入，则在 FSYNC 位返回低电平后 $3 \times (1/\text{输出数据率})$ 时间内达到稳定。-3dB 频率取决于可编程的第一个陷波频率，按照以下关系式：滤波器-3dB 频率=0.262×滤波器第一个陷波频率。

表 17. 输出速率选择

CLK ¹	FS1	FS0	输出速率	-3dB 滤波器截止频率
0	0	0	20 Hz	5.24 Hz
0	0	1	25 Hz	6.55 Hz
0	1	0	100 Hz	26.2 Hz
0	1	1	200 Hz	52.4 Hz
1	0	0	50 Hz	13.1 Hz
1	0	1	60 Hz	15.7 Hz
1	1	0	250 Hz	65.5 Hz
1	1	1	500 Hz	131 Hz

注：假定 MCLK IN 脚的时钟频率正确，CLKDIV 位的设置也是适当的。

数据寄存器

(RS2,RS1,RS0 = 0,1,1)

数据寄存器是一个 16 位只读寄存器，它包含了来自 MS7705/7706 最新的转换结果。如果通信寄存器将器件设置成对该寄存器写操作，则必定会实际上发生一次写操作以使器件返回到准备对通信寄存器的写操作，但是向器件写入的 16 位数字将被 MS7705/7706 忽略。

测试寄存器

(RS2,RS1,RS0 = 1,0,0);上电/复位状态：00Hex

测试寄存器用于测试器件时。建议用户不要改变测试寄存器的任何位的默认值（上电或复位时自动置入全 0），否则当器件处于测试模式时，不能正确运行。

零标度校准寄存器

(RS2,RS1,RS0 = 1,1,0);上电/复位状态：1F4000Hex

MS7705/7706 包含几组独立的零标度寄存器，每个零标度寄存器负责一个输入通道。它们皆为 24 位读/写寄存器，24 位数据必须被写之后才能传送到零标度校准寄存器。零标度寄存器和满标度寄存器连在一起使用，组成一个寄存器对。每个寄存器对对应一对通道，见表 9。

当器件被设置成允许通过数字接口访问这些寄存器时，器件本身不再访问寄存器系数以使输出数据具有正确的尺度。结果，在访问校准寄存器（无论是读/写操作）后，从器件读得的第一个输出数据可能包含不正确的数据。此外，数据校准期间，校准寄存器不能进行写操作。这类事件可以通过以下方法避免：在校准寄存器开始工作前，将模式寄存器的 FSYNC 位置为高电平，任务结束后，又将其置为低电平。

满标度校准寄存器

(RS2,RS1,RS0 = 1,1,1);上电/复位状态: 5761ABHex

MS7705/7706 包含几个独立的满标度寄存器, 每个满标度寄存器负责一个输入通道。它们皆为 24 位读/写寄存器, 24 位数据必须被写之后才能传送到满标度校准寄存器。满标度寄存器和零标度寄存器连在一起使用, 组成一个寄存器对。每个寄存器对对应一对通道, 见表 9。

当器件被设置成允许通过数字接口访问这些寄存器时, 器件本身不再访问寄存器系数以使输出数据具有正确的尺度。结果, 在访问校准寄存器(无论是读/写操作)后, 从器件读得的第一个输出数据可能包含不正确的数据。此外, 数据校准期间, 校准寄存器不能进行写操作。这类事件可以通过以下方法避免: 在校准寄存器开始工作前, 将模式寄存器的 FSYNC 位置为高电平, 任务结束后, 又将其置为低电平。

校准过程

前面已提到, MS7705/7706 包括很多种校准类型, 表 18 总结了这些校准类型、操作内容及操作时间。有两种方法判断校准是否结束。第一种方法是: 监视 DRDY, 若 DRDY 返回低电平, 则说明校准过程已经结束, 同时也表明数据寄存器中有一个新的有效数据, 这一新的数据就是校准结束后的一次正常的转换结果。第二种方法就是: 监视设置寄存器的 MD1,MD0 位, 若 MD1、MD0 回到“0”(校准后, MD1,MD0 返“0”), 则表明校准过程已经结束, 这种方法不能提示数据寄存器中是否有新的转换结果, 但它比第一种判断方法在时间上要早, 也就是能更快地知道校准是否结束。Mode 位(即 MD1,MD0)返“0”前的持续时间如表 18 所示, DRDY 回到低电平的过程则包括一次正常的转换时间和使第一次转换结果具有正确刻度的延迟时间 t_p , t_p 不超过 $2000 \times t_{CLKIN}$ 。这两种判断方法所需时间如下表。

表 18. 校准过程

校准类型	MD1,MD0	校准序列	置位时间	置 DRDY 时间
自校准	0,1	零标度校准@选定增益+ 满标度校准@选定增益	6×1/输出速率	9×1/输出速率+tP
零标度校准	1,0	零标度校准@选定增益	3×1/输出速率	4×1/输出速率+tP
满标度校准	1,1,	满标度校准@选定增益	3×1/输出速率	1×1/输出速率+tP

电路说明

MS7705/7706 是一种片内带数字滤波的 Σ - Δ 模/数转换器，旨在为宽动态范围测量、工业控制或工艺控制中的低频信号的转换而设计的。它包括一个 Σ - Δ （或电荷平衡）MSC、片内带静态 RAM 的校准微控制器、时钟振荡器、数字滤波器和一个双向串行通信端口。该器件的电源电流仅为 320 μ A，使得它理想地用于电池供电的仪器中。器件具有两种可选电源电压范围分别是 2.7~3.3V 或 4.75~5.25V。

MS7705/7706 包括 2 个可编程增益全差分模拟输入通道，MS7706 包括 3 个伪差分模拟输入通道。输入通道的可选增益为 1、2、4、8、16、32、64 和 128，当基准输入电压为 2.5V 时允许器件接受 0mV~+20mV 和 0V~+2.5V 之间的单极性信号或 ± 20 mV 至 ± 2.5 V 范围内的双极性信号。基准电压为 1.225V 时，在单极性模式下，输入范围是 0mV~+10mV 至 0V~ ± 1.225 V，双极性模式下，输入范围是 ± 10 mV~ ± 1.225 V。说明：双极性输入范围是相对于 AIN(-) 的，对 MS7706 而言是相对于 COMMON 的而不是对 GND 的。

输入到模拟输入端的信号被持续采样，采样频率由主时钟 MCLK IN 的频率和选定的增益决定。电荷平衡模/数转换（ Σ - Δ 调制器）将采样信号转化为占空比包含数字信息的数字脉冲链。模拟输入端的可编程增益功能配合 Σ - Δ 调制器，修正输入的采样频率，以获得更高的增益。Sinc3 低通数字滤波器处理 Σ - Δ 调制器的输出并以一定的速率更新输出寄存器，这速率由滤波器第一个陷波的频率决定。输出数据可以从串行端口上随机地或周期性地读出，读出速率可为不超过输出寄存器更新速率的任意值。数字滤波器的第一个陷波频率（以及 -3dB 频率）可以通过设置寄存器的 FS0 和 FS1 编程。当主时钟的频率为 2.4576MHz 时，第一陷波频率的可编程范围为 50Hz~500Hz，-3dB 频率的范围为 13.1Hz~131Hz。主时钟频率为 1MHz 时，第一陷波频率的可编程范围为 20Hz~200Hz，-3dB 频率的范围为 5.24Hz~52.4Hz。

图 2 是 MS7705 的基本连接电路图，如图所示，模拟电压为 +5V；精密的 +2.5V 基准电压 MS780 为器件提供基准源。在数字信号这边，器件被配置成三线工作，CS 接地。石英晶体或陶瓷谐振器提供主时钟源。在绝大多数情况下，需要在晶体或谐振器上连接一个电容器以保证在基本工作频率的泛音时，不产生振荡。电容器的电容值随制造商的要求而变化。此配置同样适用于 MS7706。

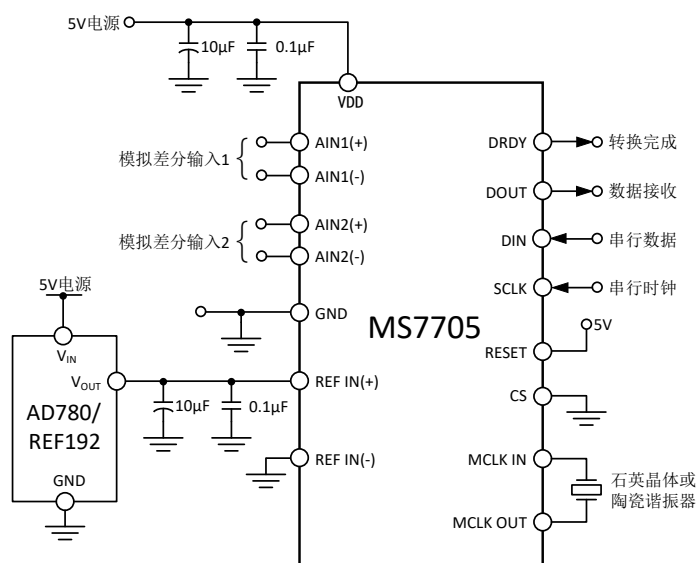


图 2. MS7705/7706 的基本连接电路图

模拟输入范围

MS7705 包括 2 个模拟输入对，即 AIN1(+), AIN1(-) 和 AIN2(+), AIN2(-)。输入对提供可编程增益、可处理单、双极性输入信号的差分输入通道。应注意，双极性输入信号以各自的 AIN(-) 端为参考。MS7705/7706 包括 3 个伪差分模拟输入对，AIN1、AIN2 和 AIN3，这些输入对以器件的 COMMON 输入端为参考。

在非缓冲模式下，共模输入范围是从 GND 到 VDD。模拟输入电压的绝对值处在 GND-30mV 和 VDD+30mV 之间。这就表明器件可以处理所有增益的单、双极性输入信号。25°C 时，在不使性能下降的情况下，模拟输入可以达到绝对电压 GND-200mV，但漏电流随温度上升而显著增大。在缓冲模式下，模拟输入端能处理更大的电源阻抗，但绝对输入电压范围被限制在 GND+50mV 到 VDD+30mV 之间，它还限制共模输入范围。这就是说，在缓冲模式下，双极性输入范围的容许增益要受到限制。须仔细设置共模电压和输入电压范围，以确保它们不超出上述极限，否则，器件的线性性能将会降级。

非缓冲模式下，模拟输入端直接连接 7pF 的采样电容器， C_{SAMP} 。直流输入漏电流的最大值为 1nA。其结果是，模拟输入端连接了一个以输入采样速率转换的动态负载（见图 3）。采样速率取决于主时钟频率和选定的增益值。在每个输入循环中， C_{SAMP} 由 AIN(+) 充电，然后向 AIN(-) 放电。开关的有效接通电阻(R_{SW})的典型值是 7k Ω 。每个输入采样周期， C_{SAMP} 必须通过 R_{SW} 和外部电源阻抗为其充电。所以在非缓冲模式下，源阻抗意味着对 C_{SAMP} 较长的充电时间，这可能导致器件的增益误差。表 19 列出了非缓冲模式下，容许的外部电阻/电容值。说明：表中的电容值是外部电容值加上器件引脚和引脚支架的 10pF 电容的总和。

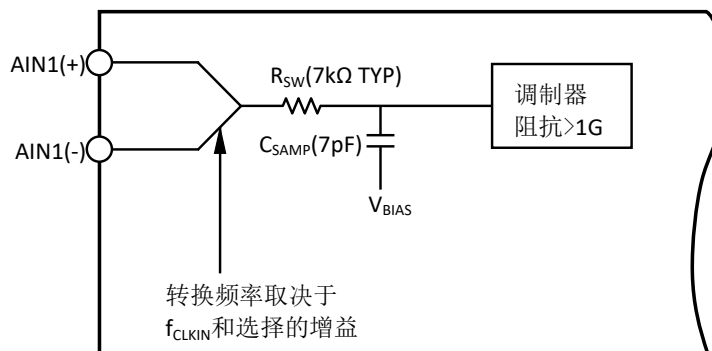


图 3. 非缓冲模拟输入结构

表 19. 无 16 位增益误差的外部电阻及电容值（非缓冲模式）

增益	外部电容(pF)					
	10	50	100	500	1000	5000
1	152k Ω	53.9k Ω	31.4k Ω	8.4k Ω	4.76k Ω	1.36k Ω
2	75.1k Ω	26.6k Ω	15.4k Ω	4.14k Ω	2.36k Ω	670 Ω
4	34.2k Ω	12.77k Ω	7.3k Ω	1.95k Ω	1.15k Ω	320 Ω
8 到 128	16.7k Ω	5.95k Ω	3.46k Ω	924 Ω	526 Ω	150 Ω

缓冲模式下，从模拟输入端看入是片内缓冲放大器的高阻抗输入级， C_{SAMP} 通过缓冲放大器充电，这样，电源阻抗就不影响 C_{SAMP} 的充电。缓冲放大器有 1nA 的偏移漏电流。在这种缓冲模式下，大电源阻抗会导致小的直流偏移电压，但不会引起增益误差。

采样速率

MS7705/7706 的调制器的采样频率维持在 $f_{\text{CLKIN}}/128$ (19.2kHz 时, $f_{\text{CLKIN}}=2.4576\text{MHz}$), 而与增益选择无关。但是, 大于 1 的增益是通过在每个调制器周期中多重输入采样以及基准电容与输入电容之比的倍数, 两者组合得到的。作为多重采样的结果, 输入采样率随选定的增益而变化 (见表 20)。在缓冲模式下, 输入端在接到输入采样电容器之前就已经得到缓冲; 非缓冲模式下, 模拟输入端直接连接到采样电容器, 有效输入阻抗是 $1/C_{\text{SAMP}} \times f_s$, C_{SAMP} 为输入采样电容器, f_s 是输入采样率。

表 20. 输入采样频率与增益的关系

增益	输入采样频率(fs)
1	$f_{\text{CLKIN}}/64$ (38.4kHz@ $f_{\text{CLKIN}}=2.4576\text{MHz}$)
2	$2 \times f_{\text{CLKIN}}/64$ (76.8kHz@ $f_{\text{CLKIN}}=2.4576\text{MHz}$)
4	$4 \times f_{\text{CLKIN}}/64$ (153.6kHz@ $f_{\text{CLKIN}}=2.4576\text{MHz}$)
8 到 128	$8 \times f_{\text{CLKIN}}/64$ (307.2kHz@ $f_{\text{CLKIN}}=2.4576\text{MHz}$)

单极性/双极性输入

无论是单极性还是双极性电压, MS7705/7706 的模拟输入端都能接受。双极性输入并不表示器件能够处理模拟输入端的负电压, 因为模拟输入电压不能小于 -30mV, 以确保器件的正常工作。输入通道是全差分的。因此, 对于 MS7705/7706, $\text{AIN}(+)$ 输入电压以各自的 $\text{AIN1}(-)$ 为基准; 对于 MS7706, 加到模拟输入通道的电压以 COMMON 为基准。例如, 若 $\text{AIN1}(-)=2.5\text{V}$, 单极性输入, 增益为 2, $V_{\text{REF}}=+2.5\text{V}$, 那么 $\text{AIN1}(+)$ 端的输入电压范围是 $+2.5 \sim +3.75\text{V}$; 若 $\text{AIN1}(-) = +2.5\text{V}$, MS7705/7706 配置成双极性输入, 增益为 2, $V_{\text{REF}}=+2.5\text{V}$, 那么 $\text{AIN1}(+)$ 端的模拟输入电压范围是 $+1.25 \sim +3.75\text{V}$ 。选择单极性还是双极性输入是由设置寄存器的 B/U 位来决定的。无论是在单极性还是双极性输入状态下工作, 都不改变任何输入信号的状态, 它只改变输出数据的代码和转换函数上的校准点。

基准输入

$\text{REFIN}(+)$ 和 $\text{REFIN}(-)$ 为 MS7705/7706 提供差分基准输入功能, 差分输入的共模范围是 GND~VDD。当 MS7705/7706 以 5V 电源电压工作时, 基准电压为 $+2.5\text{V}$; 电源电压为 3V 时, 基准电压为 $+1.225\text{V}$ 。当 V_{REF} 降至 1V 时, MS7705/7706 仍然可以工作, 但随着性能的降低, 输出噪声会变大。为确保器件能够准确无误的工作, 必须使 $\text{REFIN}(+)$ 大于 $\text{REFIN}(-)$ 。

类似于非缓冲模式下的模拟输入端, 二个基准输入端都提供高阻抗和动态负载。在整个温度范围内, 直流输入端电流的最大值为 $\pm 1\text{nA}$, 此时, 电源电阻可能引起器件的增益误差。在这种情况下, 采样开关电阻典型是 $5\text{k}\Omega$, 而基准电容器 (C_{REF}) 随增益而变化。基准输入的采样率为 $f_{\text{CLKIN}}/64$ 且不随增益而改变。增益为 1 和 2 时, C_{REF} 为 8pF ; 增益为 16 时, C_{REF} 为 5.5pF ;

当增益为 32 时, C_{REF} 是 4.25pF ; 增益为 64 时, C_{REF} 为 3.625pF ; 而当增益达到 128 时, C_{REF} 为 3.3125pF 。表 2 到 5 列出的是模拟输入信号为 0V 时的输出噪声特性, 它有效地消除了基准噪声的影响。在整个输入范围内, 为获得如噪声表中所示的噪声特性, 需要为 MS7705/7706 配置一个低噪声基准源。如果带宽内的基准噪声过大, MS7705/7706 的性能就会降低。

数字滤波

MS7705/7706 包含一个片内低通数字滤波器，用它处理器件的 $\Sigma\Delta$ 调制器的输出信号。所以，该器件不仅提供模数转换功能，而且还具备一定的滤波能力。数字滤波与模拟滤波存在许多系统差异，用户务必注意。

一方面，数字滤波发生在模 - 数转换之后，它能消除模数转换过程中产生的噪声，而模拟滤波不能做到这一点。此外，数字滤波比模拟滤波更容易实现可编程性。依靠数字滤波器设计，用户可以编程截断频率和输出更新率。

另一方面，在模拟信号进入 MSC 之前，模拟滤波能够消除重叠在模拟信号上的噪声，数字滤波则不能做到这一点，并且寄生在信号上的噪声峰值接近满标度时，即使信号的平均值在极限范围内也有可能使模拟调制器和数字滤波器达到饱和状态。为了解决这个问题，在 MS7705/7706 的 $\Sigma\Delta$ 调制器和数字滤波器内部，建立一个峰值储备，这允许超出模拟输入范围 5%。若噪声信号比这还要大，那么就考虑输入端的模拟滤波，或降低输入通道电压，使输入电压的范围为模拟输入通道电压满标度范围的一半。这样，动态范围降低 50%，将使超范围性能增加 1 倍。下图是滤波器频率响应曲线。

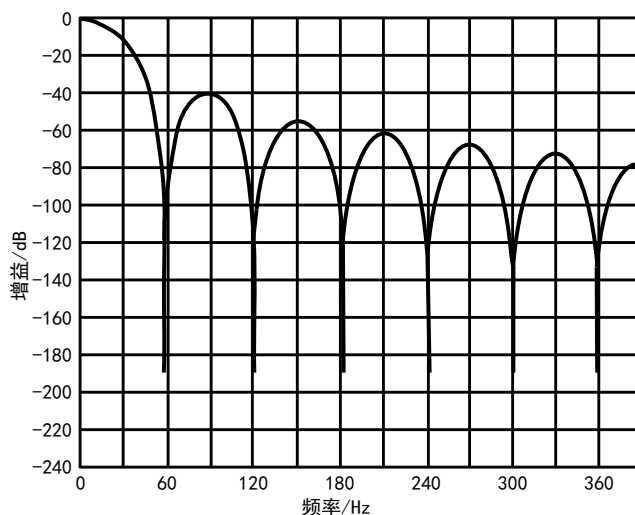


图 4. MS7705/7706 滤波器的频率响应

模拟滤波

在具体应用中，可能要从数字滤波器能通过的频段上消除不需要的频率，需要在 MS7705/7706 的前端加上衰减功能；在另外一些应用中，可能要在 MS7705/7706 的前端进行模拟滤波，以免有用频带外的差分噪声信号使模拟调制器达到饱和。

在非缓冲模式下，如果在 MS7705/7706 的前端置有无源元件，必须确保电源阻抗足够低，以免在系统中引入增益误差。这极大地限制了 MS7705/7706 前端无源抗混叠滤波(Passive Antialiasing Filtering)在非缓冲模式下的使用。但是当器件在缓冲模式下工作时，大电源电阻只会产生一个很小的直流偏移误差（10k Ω 电源电阻引起不到 10V 的偏移误差）。因此，如果系统需要在 MS7705/7706 前端使用无源模拟滤波，建议使器件在缓冲模式下工作。

校准

MS7705/7706 提供了多种校准选择，具体选择哪种校准可以由设置寄存器的 MD1 和 MD0 位来编程。一旦给 MD1 和 MD0 位写入数据，一个校准周期就开始了。通过校准消除器件上产生的偏移和增益误差。当工作环境温度和电压发生变化时，就应对器件进行例行校准，若选定的增益、滤波器陷波或单极性/双极性输入范围发生变化时。也应进行校准。

校准分为自校准和系统校准。对选定的通道进行全域校准时，片上微控制器必须在两种不同的输入状态下记录调制器的输出，也就是“零标度”和“满标度”点。这些点是在校准过程中，在调制器的输入端输入不同的电压值后，器件执行一次转换而得到的结果。当然，校准精度也只能和正常模式下提供的噪声水平相当。零标度校准转换的结果存储在零标度校准寄存器中，而满标度校准转换的结果存在满标度校准寄存器中。依靠这些数据，微控制器就能计算出转换器的输入-输出转换函数的偏移和增益斜率。器件以 33 位分辨率来确定 16 位转换结果。

自校准

通过向设置寄存器的 MD1 和 MD0 写入相应值(0,1)，器件开始自校准。在单极性输入信号范围内，用来确定校准系数的零标度点是用差分输入对的输入端在器件内部短路（即对于 MS7705， $A_{IN}(+)=A_{IN}(-)$ =内部偏置电压；对于 MS7706， $A_{IN}=COMMON$ =内部偏置电压）。增益可编程放大器（PGA）设置为用于零标度校准转换时选定的增益（由通信寄存器内的 G1 和 G0 位设置）。满标度校准转换是在一个内部产生的 V_{REF} 电压和选定增益的条件下完成的。校准持续时间是 $6 \times 1/\text{输出速率}$ 。它是由零标度和满标度校准的 $3 \times 1/\text{输出速率}$ 时间的总和。校准完成后，MD1 和 MD0 自动返回初始值(0,0)，这是校准过程结束的最早的提示。校准开始时，DRDY 处于高电平，直到数据寄存器中有新的有效数据，DRDY 才回到低电平，DRDY 从高电平到低电平这个过程的持续时间是 $9 \times 1/\text{输出速率}$ ，其中，零标度校准时间、满标度校准时间和设置校准系数时间各为 $3 \times 1/\text{输出速率}$ 。所以，从时间上来说，MD1 和 MD0 给出的校准完成提示要比 DRDY 位给出的提示早 $3 \times 1/\text{输出速率}$ 。如果 DRDY 在校准指令写入设置寄存器之前处于低电平，可能需要一个额外的调制周期的时间，DRDY 才能变为高电平，显示校准已经开始。对于双极性输入范围的自校准，整个过程与上述过程相似。

系统校准

通过系统校准，MS7705/7706 可以对系统增益、偏移误差以及器件本身的内部误差进行补偿。系统校准执行和自校准一样的斜率系数计算，但用的电压值是系统对 A_{IN} 输入端用于零和满标度校准的电压值。

系统校准的全过程分两个步骤进行，首先是 ZS 系统校准，接着进行 FS 系统校准。对于一次整个系统校准，零标度点必须在校准一开始首先被送到转换器，且需保持稳定直到校准结束。

ZS 系统校准

系统的零标度电压值一经设定，通过向设置寄存器的 MD1 和 MD0 写入(1,0)，就开始 ZS 系统校准。零标度系统校准在选定的增益下进行。零标度校准持续时间是 $3 \times 1/\text{输出速率}$ 。在校准过程中，MD0 和 MD1 以及 DRDY 的变化情况和自校准中的变化情况相似。不过，从校准命令发出至 DRDY 变成低电平所需时间是 $4 \times 1/\text{输出速率}$ 。

FS 系统校准

零标度点校准后，将满标度电压值施加给 AIN 端，然后向 MD1 和 MD0 分别写入(1,1)，FS 系统校准就开始了。同样，在校准开始之前，必须设定满标度电压值，并且在整个校准过程中，使之保持稳定。校准过程中，MD0 和 MD1 以及 DRDY 的变化过程同 ZS 系统校准过程。

在单极性模式下，系统校准是在转换函数的两个端点之间完成；在双极性模式下，它是在中标度（零差分电压）和正的满标度之间完成。系统校准是分二步进行的，在全系统的校准序列已经完成之后，偏移和增益校准能自动执行，以调节系统零基准点或系统增益。校准系统偏移或增益两个参数中的任何一个，不会影响另一个。

当器件在非缓冲模式下使用时，系统校准还可以用来消除模拟输入端由电源阻抗引入的任何误差。模拟前端一个简单的 R、C 抗混叠滤波器就可能在模拟输入电压引入增益误差，但是系统校准可以消除这种误差。

输入范围和偏移的限制

无论何时应用系统校准模式，偏移量和输入电压范围总是有限的。而决定偏移量和可调节增益范围的主要要求是：正满标度输入电压的最大值 $< 1.05 \times V_{\text{DEF}}/\text{Gain}$ ，这可使输入电压极限值高于额定值 5%。MS7705/7706 的模拟调制器的最大容限(head room)确保器件在超出额定电压 5%的情况下仍能正常工作。

在单极性/双极性模式下，输入范围的最小值为 $0.8 \times V_{\text{REF}}/\text{Gain}$ ，最大值为 $2.1 \times V_{\text{REF}}/\text{Gain}$ ，须考虑正满标度的极限值。可调偏移量取决于器件用的是单极性模式还是双极性模式。同样，偏移量要考虑正满标度的极限值。在单极性模式下，负偏移有相当大的灵活性。在选择系统的零标度和满标度的极限值时，必须确保偏移量与输入范围的和不超过 $1.05 \times V_{\text{REF}}/\text{Gain}$ 。

如果器件用于单极性模式，需要的输入范围是 $0.8 \times V_{\text{REF}}/\text{Gain}$ ，则系统校准可以设置的偏移范围从 $-1.05 \times V_{\text{REF}}/\text{Gain}$ 至 $+0.25 \times V_{\text{REF}}/\text{Gain}$ 。如果器件用于单极性模式，需要的输入范围是 $1 \times V_{\text{REF}}/\text{Gain}$ ，则系统校准可以设置的偏移范围为 $-1.05 \times V_{\text{REF}}/\text{Gain}$ 至 $0.05 \times V_{\text{REF}}/\text{Gain}$ 。同样地，如果器件用于单极性模式而要求除去 $0.2 \times V_{\text{REF}}/\text{Gain}$ 的偏移，则系统校准可将输入范围置为 $0.85 \times V_{\text{REF}}/\text{Gain}$ 。

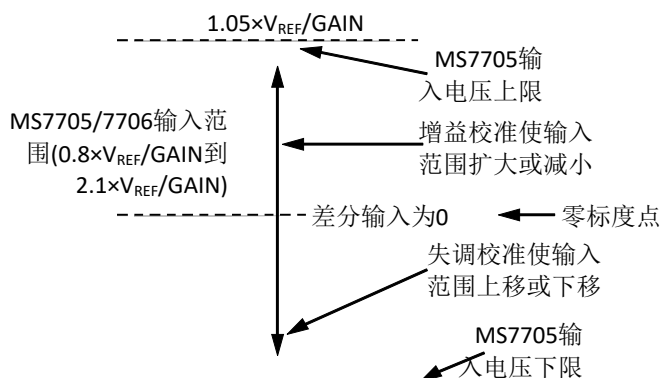


图 5. 输入范围和偏移的限制

如果器件用于双极性模式，需要的输入范围是 $\pm 0.4 \times V_{REF}/Gain$ ，则系统校准可设置的偏移范围从 $-0.65 \times V_{REF}/Gain$ 至 $+0.65 \times V_{REF}/Gain$ 。如果器件用于单极性模式，需要的输入范围是 $REF/Gain$ ，则系统校准可设置的偏移范围从 $-0.05 \times V_{REF}/Gain$ 至 $+0.05 \times V_{REF}/Gain$ 。同样地，如果器件用于双极性模式，而要求除去 $\pm 0.2 \times V_{REF}/Gain$ 的偏移，则系统校准可将输入范围设置为 $\pm 0.85 \times V_{REF}/Gain$ 。

上电和校准

上电时，MS7705/7706 内部进行复位，即将内部寄存器设置为一已知状态。上电或复位后，所有寄存器都回到默认值状态，默认值包含校准寄存器的额定校准系数。为确保 MS7705/7706 的正确校准，上电后应进行例行校准。

MS7705/7706 的功耗和温度漂移都很低，在进行初始校准前，无须预热。但是如果采用外部基准，在校准开始之前，外部基准必须稳定下来。类似地，如果 MS7705/7706 的时钟信号是由两个 MCLK 引脚间的晶体或陶瓷谐振器产生的，那么振荡器应在校准开始之前启动。

时钟和振荡器电路

MS7705/7706 要求外部主时钟输入，这个主时钟输入可以是 MCLK OUT 脚不连接时，加在 MCLK IN 引脚上的一个外部 CMOS 兼容时钟信号，或者，如图 6 所示，在 MCLKIN 和 MCLKOUT 两个引脚之间连接一个频率合适的晶体或陶瓷谐振器。在此情况下，时钟电路作为振荡器工作，为 MS7705/7706 提供主时钟信号。主时钟频率 f_{CLKIN} 直接影响输入采样频率、调制器采样频率、-3dB 频率、输出更新率和校准时间。若主时钟频率降低一半，输入采样频率、调制器采样频率、-3dB 频率、输出更新率都将低一半，而校准时间将增加一倍。此外，电源电流也与 f_{CLKIN} 有关，主时钟频率降低一半，数字部分的电源电流将减小一半，但不会影响通过模拟电路的电流。

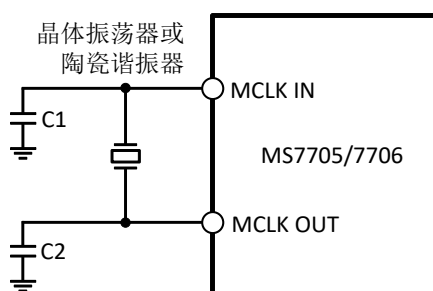


图 6. 晶体或陶瓷谐振器与 MS7705/7706 的连接

在 MCLK IN 和 MCLK OUT 两个引脚之间配置一个晶体或陶瓷谐振器比采用在 MCLK IN 引脚处引入驱动时钟信号的工作电流大。这是因为片内振荡电路在使用晶体或陶瓷谐振器的情况下更活跃。因此，在 MCLK IN 引脚处施加一个外部时钟，而将 MCLK OUT 引脚空出不加负载时，可使 MS7705/7706 达到最小可能的电流值。

振荡器所消耗的额外电流的大小取决于很多因素，连接 MCLK IN 和 MCLK OUT 两个引脚间的电容器(C1 和 C2)的电容越大，消耗电流越大。注意不能超过晶体或陶瓷谐振器厂商推荐的电容值，这些值一般在 30pF 至 50pF 范围内。另一个影响因素是晶体的 ESR 值，ESR 值越低，消耗电流越小。

主时钟频率为 2.4576MHz,电源电压为 3V 时，采用晶体或陶瓷谐振器作为振荡电路比采用外部时钟所需电流大 50A；主时钟频率不变，电源电压为 5V 时，前者所需典型电流值增加 250A。在此频率下，晶体/陶瓷谐振器的 ESR 值较小，并且不同的晶体和谐振器之间的差别很小。

当在 1MHz 的时钟频率下工作时，不同的晶体类型对应的 ESR 值差别很大。因此，不同晶体类型消耗的电流各异。VDD=3V 时，用 ESR 为 700Ω 的晶体/陶瓷谐振器比外加时钟消耗的电流多 20μA，VDD=5V 时，多 200μA；当使用晶体的 ESR=3000Ω 时，VDD=3V 时和 VDD=5V 时所对应的电流增加值分别为 100μA 和 400μA。

在振荡电路开始工作之前，需要一个启动过程。VDD=5V 时，晶体振荡器的频率为 4.9512MHz、2.4576MHz 和 1MHz 所对应的启动时间分别是 6ms、16ms 和 20ms。VDD 降为 3V 时，相同频率条件下，启动时间缩短 20%。电源电压为 3V 时，根据 MCLKIN 引脚处的负载电容，可以在晶体和谐振器两端跨接一个 1MΩ 的电阻，以使启动时间保持在大约 20ms 左右。

MS7705/7706 的主时钟可从 MCLKOUT 引脚引出，接到此引脚的最大推荐负载为一个 CMOS 负载。当用晶体或陶瓷谐振器产生时钟信号时，可能需要把这个时钟作为系统的时钟源。在这种情况下，建议用 CMOS 缓冲器对 MCLKOUT 信号在加到系统电路之前进行缓冲。

系统同步

设置寄存器中的 FSYNC 位，允许用户在不影响 MS7705/7706 设置状态的情况下，对调制器和数字滤波器进行复位。这就让用户能从一个已知时间点开始收集模拟输入的采样，也就是当 FSYNC 位从 1 变到 0 时。

FSYNC 置 1 时，数字滤波器和模拟调制器处于已知复位状态，此时 MS7705/7706 不处理任何输入采样。当将 0 写进 FSYNC，调制器和滤波器不再处于复位状态，MS7705/7706 又开始从下一个时钟沿收集采样。

FSYNC 输入也可以用作允许器件在常规变换模式下工作的软件启动转换命令。在这种模式下，数据写入 FSYNC，转换开始，DRDY 下降沿提示转换完成。这一方案的缺点在于，每一个数据寄存器的数据更新都得考虑滤波器的稳定时间，因此，数据寄存器的更新速率要慢 3 倍。

由于 FSYNC 对数字滤波器进行复位，所以在有新字写入输出寄存器前，整个稳定时间必须结束。如果 FSYNC 为 0 时，DRDY 处于低电平，FSYNC 命令将不对 DRDY 复位，使其变为高电平。这是因为数据寄存器中有一个还未读的字，在数据寄存器进行数据更新前，DRDY 线将保持低电平。DRDY 线将停留在低电平直到数据寄存器发生更新，在这时它将变高 $500 \times t_{\text{CLKIN}}$ 然后再回到低电平。从数据寄存器读数据将使 DRDY 信号变高，直到滤波器的稳定时间已消逝（从 FSYNC 命令后）并且在数据寄存器中已有一个有效字，DRDY 才回到低。如果当 FSYNC 命令已发出时 DRDY 线为高，则 DRDY 线在滤波器的稳定时间已消逝后才能回到低电平。

RESET 输入

复位输入电路复位所有的逻辑、数字滤波器和模拟调制器，而将所有的片内寄存器设置到其默认状态。当 RESET 输入信号处于低电平时，DRDY 处于高电平，MS7705/7706 忽略发往寄存器的任何通信数据。当 RESET 返回高电平，器件才开始处理数据。经过 $3 \times 1/\text{输出速率}$ 的时间后，DRDY 返回低电平以指示在数据寄存器中有一个新的有效字。复位后，器件在默认状态下工作，一般，在一次 RESET 命令后需要设置所有的寄存器，并进行一次校准。

即使 RESET 输入处于低电平，片内振荡器电路仍继续工作，MCLK OUT 引脚的主时钟信号继续有效。因此，在由 MS7705/7706 提供系统时钟的应用中，MS7705/7706 在复位过程中，产生一个不间断的主时钟信号。

等待模式

在不需要提供转换结果的情况下，通信寄存器中的 **STBY** 位允许用户将器件设置在掉电模式下工作。在等待模式下，**MS7705/7706** 保留所有片内寄存器（包括数据寄存器）中的所有内容。脱离等待模式后，器件开始处理数据，在 **STBY** 位写入 0 的 3×1 /输出速率时间后，数据寄存器中可有新的有效数据。

STBY 位不影响数字接口，也不影响 **DRDY** 位的状态。如果 **DRDY** 处于高电平，而 **STBY** 处于低电平，它将保持高电平直到数据寄存器中有新的有效字。如果 **DRDY** 处于低电平，**STBY** 也处于低电平，它将保持低电平直到数据寄存器被更新。

器件在等待模式下工作，减小了总电流，采用外部时钟且外部主时钟停止，**VDD=5V** 时，电流的典型值为 $9\mu\text{A}$ ，**VDD=3V** 时，电流的典型值为 $4\mu\text{A}$ 。外部时钟持续工作，在这两种电源电压下等待电流分别增加到 $150\mu\text{A}$ ， $75\mu\text{A}$ 。若用晶体或陶瓷谐振器作为时钟源，则 **5V** 和 **3.3V** 电源电压下的总电流分别是 $400\mu\text{A}$ 和 $90\mu\text{A}$ 。这是因为在等待模式下，片内振荡电路继续工作。

接地及布线

由于模拟输入和基准输入是差分的，模拟调制器的大部分电压都是共模电压。**MS7705/7706** 的良好共模抑制性能能消除这些共模输入信号里的共模噪声。数字滤波器能抑制供电电源产生的除了调制器采样频率整数倍的频率以外的宽带噪声。数字滤波器还能消除模拟和基准输入信号里的噪声不使模拟调制器饱和。总之，**MS7705/7706** 比传统的高分辨率的转换器更能不受噪声的干扰。由于它的分辨率太高，而要求噪声电平太小，所以必须注意接地和电路布线。

MS7705/7706 的印制板电路必须按规格设计，以确保模拟和数字分开并各自限定在电路板上的一定区域。利用接地平面可以很容易地将它们分开。最好用腐蚀技术做接地平面，因为这样能使屏蔽性能最好。应只在一个地方将模拟和数字接地平面连接在一起，以避免出现接地环路。在系统中多个器件需要 **AGND-DGND** 连接的应用中，**MS7705/7706** 的模拟和数字接地平面应在尽量靠近 **MS7705/7706** 的 **GND** 的星型接地点连接。

应避免在器件下走数字线，因为这样会造成片内噪声成倍增加。模拟接地平面应布在器件下面。**MS7705/7706** 的电源线应该足够粗的以便降低线路阻抗，同时减少电源供电线的尖峰信号的影响。像主时钟类的快速跳变信号应用数字接地屏蔽，以免将噪声辐射到电路的其它部分。时钟信号不能在模拟输入信号附近通过。模拟信号和数字信号之间应避免相互交叉。电路板两面的线路应走成直角，这样可以降低电路板的馈通效应。采用微带线技术是最好的了，不过我们并不总是可以使用双面电路板的。应用这项技术时，电路板上元件的一边放在接地平面上，信号则放在电路板上焊接的一边。

使用高分辨率的 **MSC** 时，良好的去耦性能很重要。所有的模拟电源都应去耦，方法是：用 $10\mu\text{F}$ 并联一个 $0.1\mu\text{F}$ 的陶瓷电容器接 **GND** 去耦。为使去耦元件获得最佳效果，应使它们尽量靠近 **MSC**，在 **MSC** 的正上方最为理想。所有的逻辑芯片都应用一个连在 **DGND** 上的 $0.1\mu\text{F}$ 的电容器去耦。

数字接口

MS7705/7706 的串行接口包括 5 个信号：即 CS、SCLK、DIN、DOUT 和 DRDY。DIN 线用来向片内寄存器传输数据，而 DOUT 线用来访问寄存器里的数据。SCLK 是串行时钟输入，所有的数据传输都和 SCLK 信号有关。DRDY 线作为状态信号，以提示数据什么时候已准备好从寄存器读数据。输出寄存器中有新的数据字时，DRDY 变为低电平。在输出寄存器数据更新前，若 DRDY 变为高电平，则提示这个时候不读数据，以免在寄存器更新的过程中读数据。CS 用来选择器件，在有许多器件与串行总线相连的应用中，它也用于对系统中的 MS7705/7706 进行解码。

图 7 和 8 是用 CS 对 MS7705/7706 进行解码的时序图。图 7 所示是从 MS7705/7706 的输出移位寄存器读数据的时序图，而图 8 所示则是向输入移位寄存器写入数据的时序图。即使是在第一次读操作后 DRDY 线返回高电平，也可能出现两次从输出寄存器读到同样数据的情况。必须注意确保在下一次输出更新进行之前，读操作已经完成。

通过向 CS 加低电平，MS7705/7706 串行接口能在三线模式下工作。SCLK、DIN 和 DOUT 线用来与 MS7705/7706 进行通信。DRDY 的状态可以通过访问通信寄存器的 MSB 得到。这种方案适于与微控制器接口。若要求 CS 作为解码信号，它可由微控制器的端口产生。对于与微控制器的接口，建议在两次相邻的数据传输之间，将 SCLK 置为高电平。

MS7705/7706 也可以在 CS 被用作帧同步信号时工作。这种方案适合于与 DSP 接口，在这种情况下，首位(MSB)被 CS 时序有效输出，因为 CS 通常是在 DSP 上的 SCLK 处于下降沿时产生的。假如时序不变更，SCLK 也可在两次相邻的数据传输间继续运行。通过加在 MS7705/7706 的 RESET 脚上的复位信号，能够复位串行接口。还能够通过向 DIN 输入端写入一系列的“1”以复位串行接口，如果在至少 32 个串行时钟周期内向 MS7705/7706 的 DIN 线写入逻辑“1”，串行接口就被复位。这保证了在三线系统中，如果由于软件错误或系统中的闪烁信号造成接口迷失，系统接口可经复位回到一个已知状态。这就是使接口回到 MS7705/7706 等待对其通信寄存器进行一次写操作的状态。这一写操作本身并不复位任何寄存器的内容，但因为接口已经迷失，写入任何寄存器的信息都是未知的，所以建议将所有的寄存器重新设置一次。

有一些微处理器或微控制器的串行接口只有一根单独的串行数据线。在这种情况下，可以把 MS7705/7706 的 DATA OUT 和 DATA IN 线连接在一起并把它与处理器的单根数据线相连。在这根单一的数据线上必须使用一个 10kΩ 的上拉电阻。这种情况下，如果接口迷失，因为读、写操作共享同一根线，复位并使接口还原到已知状态的过程与以前叙述的有所不同。这一过程要求 24 个连续时钟的读操作和至少 32 个连续时钟周期的逻辑“1”的写操作，以保证串行接口回到已知状态。

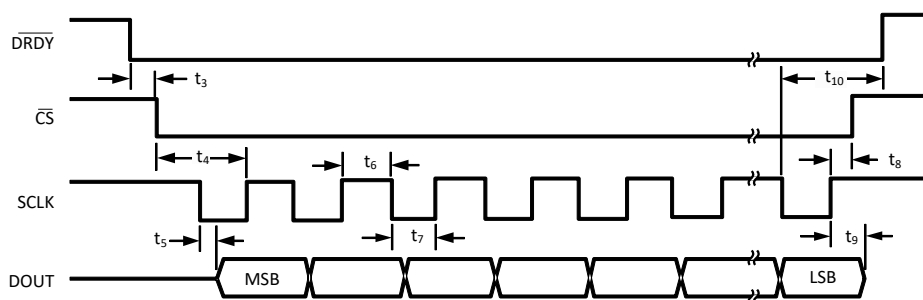


图 7. 读周期时序图

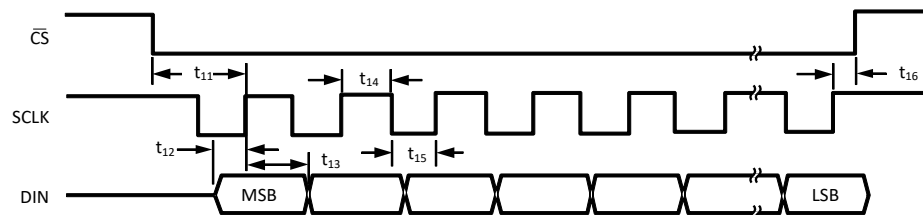


图 8. 写周期时序图

MS7705/7706 的配置

MS7705/7706 用户可通过串行接口访问的片内寄存器。与任何寄存器通信都要首先向通信寄存器写入。图 9 画出了对 MS7705/7706 上电或复位之后，配置所有寄存器过程的流程图。流程图也显示了两种不同的读选项，第一个是查询 DRDY 引脚以确定数据寄存器更新是何时进行的，第二个是查询通信寄存器中的 DRDY 位以确认数据寄存器是否进行过更新。流程图中还包括设置不同的工作条件所必须写进寄存器的一系列字。这些工作条件是指增益为 1，没有滤波同步、双极性模式、无缓冲、4.9512MHz 的时钟和 50Hz 的输出速率。

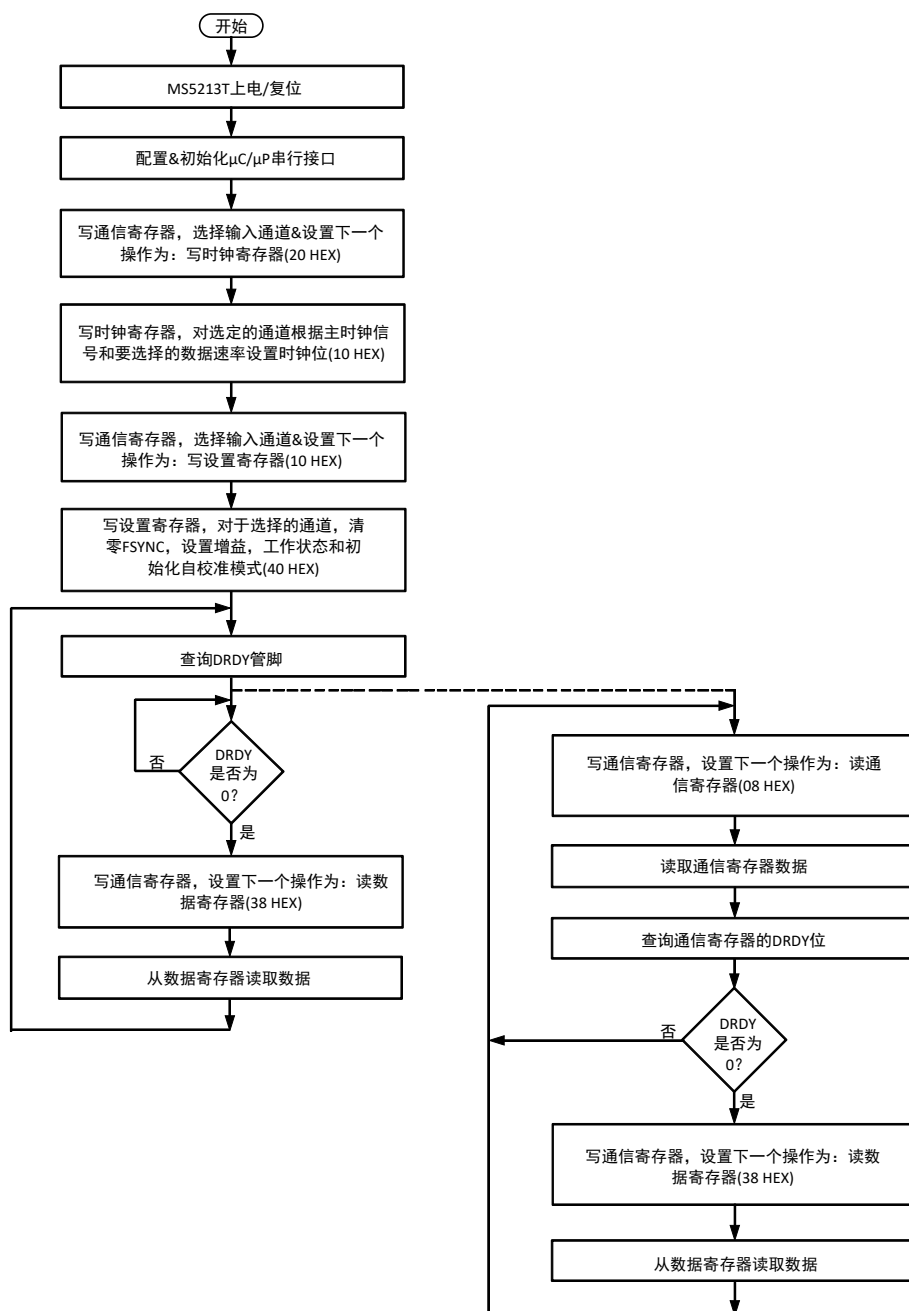


图 9. MS7705 的寄存器设置和数据读取流程图

典型应用图

压力测量

MS7705/7706 的一个典型应用就是压力测量。图 10 所示是 MS7705/7706 与一个压力传感器一起使用的情况。压力传感器被安装在一个桥式电路中，在它的 OUT(+)和 OUT(-)端输出差分输出电压。当在传感器上加上满标度压力(300mmHg)时，差分输出电压（即 IN(+)和 IN(-)两端之间的电压）是输入电压的 3mV/V。假定激励电压是 5V，则传感器的满标度输出电压是 15mV。桥式电路的激励电压还用来为 MS7705/7706 产生基准电压。因此，激励电压的变化不会造成系统内的误差。图 10 中，当两个电阻值分别为 24k Ω 和 15k Ω 时，激励电压为 5V 时，MS7705/7706 产生的基准电压为 1.92V。器件具有 128 的可编程增益时，MS7705/7706 的满标度输入幅度应是 15mV。此值与传感器的输出范围有关。MS7705/7706 的第二个通道可作为一个辅助通道以测量另一个变化，如温度，如图 10 所示。这个次级通道可以用来调整初次通道的输出信号，以便消除温度对系统的影响。

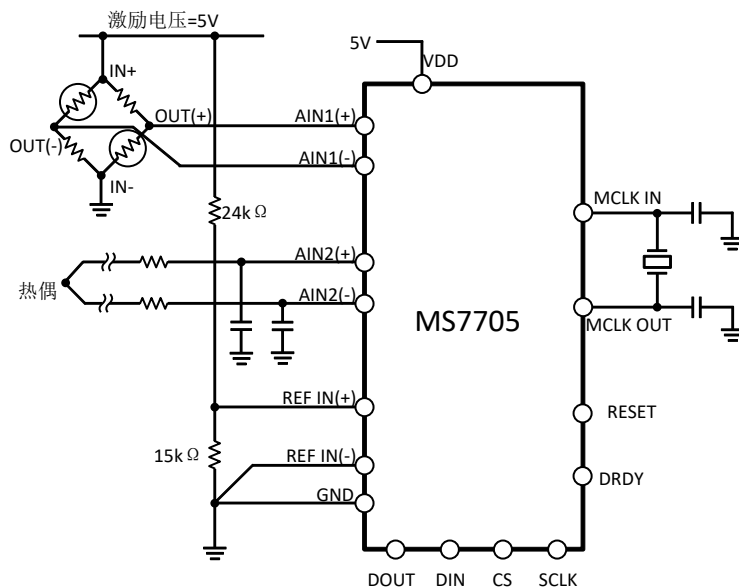


图 10. 用 MS7705 作压力测量

温度测量

MS7705 的另外一个应用领域是温度测量。图 11 是一个热耦与 MS7705 的连接图。在这一应用中，MS7705 在缓冲模式下工作，以便允许前端的大去耦电容器消除可能在热耦引脚上的任何噪声检拾。当 MS7705 在缓冲模式下工作时，其共模输入范围缩小。为了将来自热耦的差分电压置于一个合适的共模电压上，MS7705 的 AIN1(-) 输入端要向上偏置达到基准电压(+2.5V)。

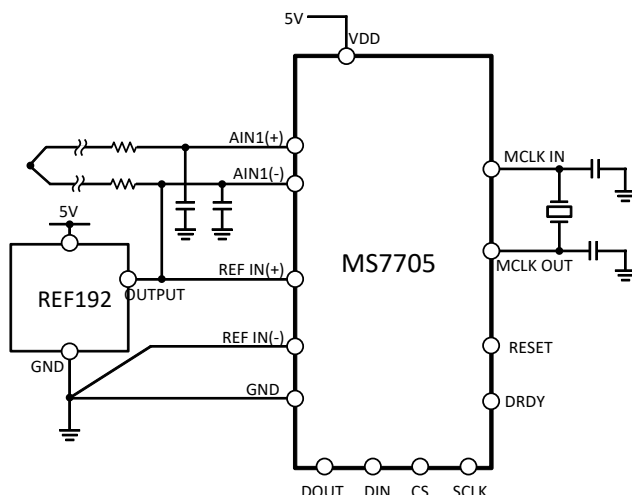


图 11. 用 MS7705 作温度测量

图 12 所示是 MS7705 的另一个温度测量应用。在这一应用中，传感器是一个 RTD（热敏电阻），PT100。它是一个四引脚的 RTD。在引线电阻 R_{L1} 和 R_{L4} 上有电压降，但这只使共模电压发生了偏移。当 MS7705 的输入电流很低时，引线电阻 R_{L2} 和 R_{L3} 上无电压降。引线电阻呈现了一个小的源阻抗，所以一般不必将 MS7705 中的缓冲器打开。如果要求使用缓冲器，必须通过在 RTD 的底端和 MS7705 的 GND 之间插入一个小电阻来设置相应的共模电压。在此应用中，外部 $400\mu A$ 电流源为 PT100 提供激励电源，同时通过 $6.25k\Omega$ 的电阻器。为 MS7705 产生基准电压。激励电流的变化不影响电路工作，这是因为输入电压和基准电压都随激励电流变化。然而， $6.25k\Omega$ 的电阻器必须有很小的温度系数以避免温度范围内基准电压的误差。

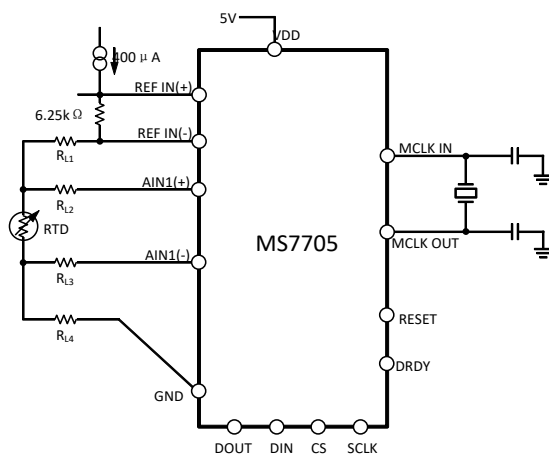


图 12. 用 MS7705 作 RTD 测量

电池监控

另一个要求应用低功率，单电源工作的领域就是在便携式装置中的电池监控。图 13 是一个电池监控器的方框图，包括 MS7705 和用来差分测量每一节电池的两端电压的外部多路器(Multiplexer)。MS7705 的第二个通道用来监控电池的漏电流。带有双输入通道的 MS7705 很适合用于需要两个输入通道的测量系统，就象在本例中，用来监控电压和电流。因 MS7705 能够适应很弱的输入信号，所以 RSENSE 能用很小的阻值，这样就能够降低不必要的电源损耗。这个系统工作在增益为 128 的情况下，满标度为 $\pm 9.57\text{mV}$ 的信号能以 $2\mu\text{V}$ 的分辨率进行测量，并给出 13.5 位的稳定性能。为了在非缓冲模式下获得额定的特性，假定模拟输入电压的绝对值在 $\text{GND}-30\text{mV}$ 和 $\text{VDD}+30\text{mV}$ 之间，输入共模范围为 GND 到 VDD 。25℃时，在性能不降低的情况下，MS7705 能够承受 $\text{GND}-200\text{mV}$ 的绝对电压，但漏电流在温度升高时将增大很多。

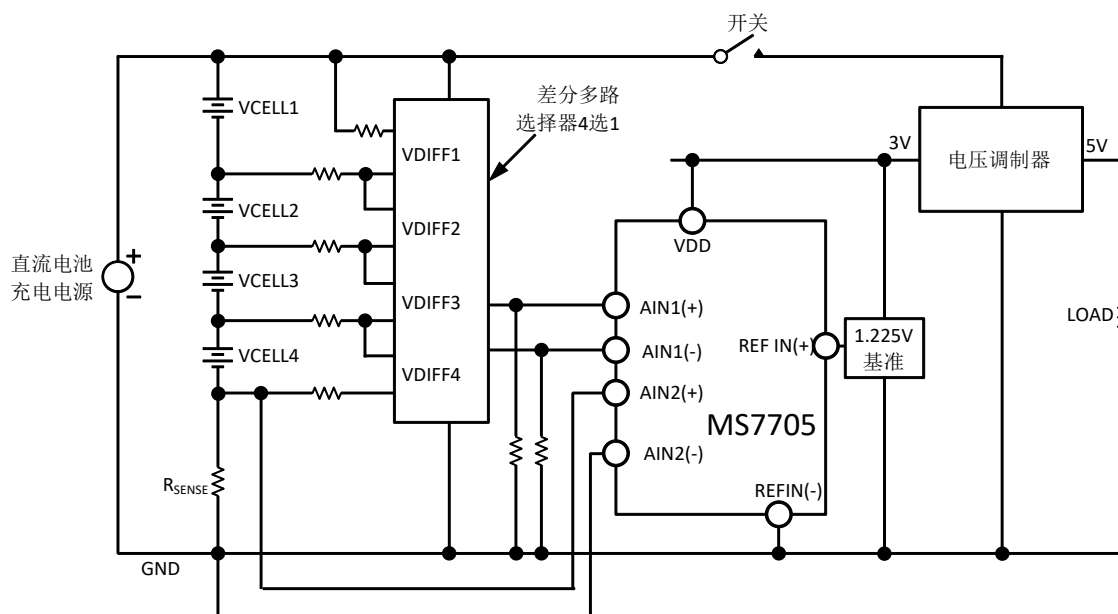
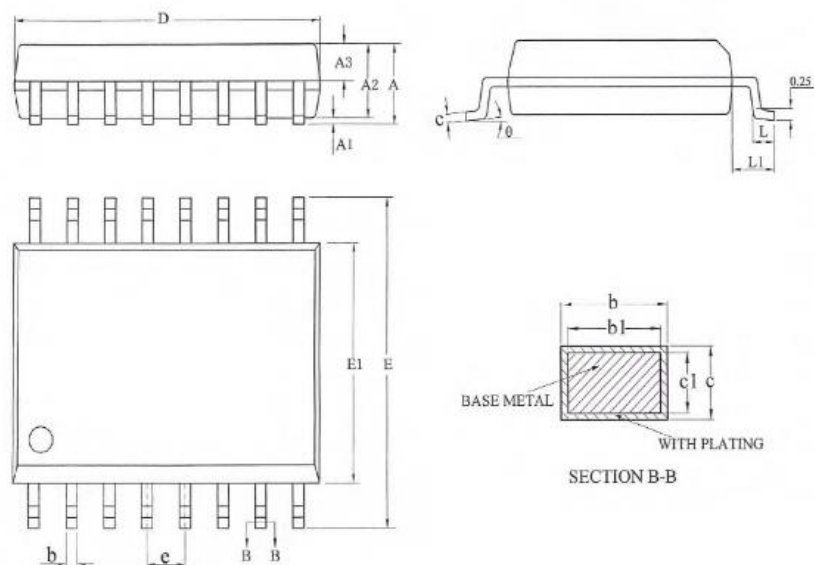


图 13. MS7705 用作电源监测

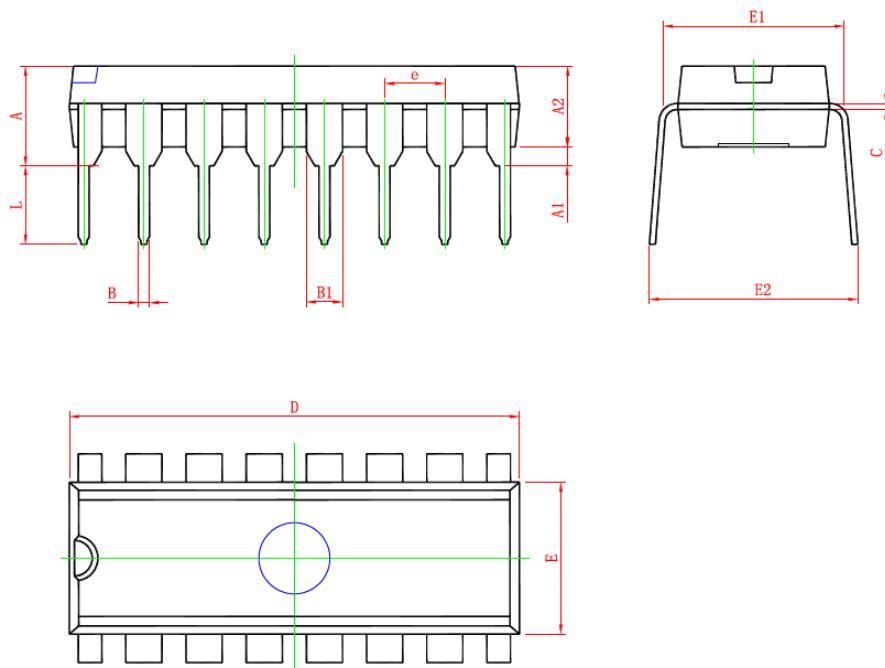
封装外形图

SOW16



符号	尺寸（毫米）		
	最小	典型	最大
A	-	-	2.65
A1	0.10	-	0.30
A2	2.25	2.30	2.35
A3	0.97	1.02	1.07
b	0.35	-	0.44
b1	0.34	0.37	0.39
c	0.25	-	0.31
c1	0.24	0.25	0.26
D	10.10	10.30	10.50
E	10.26	10.41	10.60
E1	7.30	7.50	7.70
e	1.27BSC		
L	0.55	-	0.85
L1	1.40BSC		
θ	0	-	8°

DIP16



符号	尺寸 (毫米)	
	最小值	最大值
A	3.710	4.310
A1	0.510	-
B	0.380	0.570
B1	1.524 (BSC)	
C	0.204	0.360
D	18.800	19.200
E	6.200	6.600
E1	7.320	7.974
e	2.540 (BSC)	
L	3.000	3.600
E2	8.400	9.000

印章与包装规范

1. 印章内容介绍



产品型号：MS7705、MS7706、MS7705D、MS7706D

生产批号：XXXXXXX

2. 印章规范要求

采用激光打印，整体居中且采用 Arial 字体。

3. 包装规范说明

型号	封装形式	只/卷	卷/盒	只/盒	盒/箱	只/箱
MS7705	SOW16	1000	8	8000	1	8000
MS7706	SOW16	1000	8	8000	1	8000

型号	封装形式	只/管	管/盒	只/盒	盒/箱	只/箱
MS7705D	DIP16	25	40	1000	10	10000
MS7706D	DIP16	25	40	1000	10	10000

声明

- 瑞盟保留说明书的更改权，恕不另行通知！客户在下单前应获取最新版本资料，并验证相关信息是否完整。
- 在使用瑞盟产品进行系统设计和整机制造时，买方有责任遵守安全标准并采取相应的安全措施，以避免潜在失败风险可能造成的人身伤害或财产损失！
- 产品提升永无止境，本公司将竭诚为客户提供更优秀的产品！



MOS电路操作注意事项

静电在很多地方都会产生，采取下面的预防措施，可以有效防止 MOS 电路由于受静电放电的影响而引起的损坏：

- 1、操作人员要通过防静电腕带接地。
- 2、设备外壳必须接地。
- 3、装配过程中使用的工具必须接地。
- 4、必须采用导体包装或抗静电材料包装或运输。



+86-571-89966911



杭州市滨江区伟业路 1 号
高新软件园 9 号楼 701 室



[http:// www.relmon.com](http://www.relmon.com)