

10/12bit, 25MHz CCD 信号模数转换器

描述

MS9943/MS9944 是一款应用于 CCD 图像传感器全模拟信号处理的模数转换器。其内部模块还集成了相关双采样器（CDS）、数字控制的可变增益放大器（VGA）和暗像素钳位电路。MS9943 精度是 10bit，MS9944 精度是 12bit。

内部寄存器的设置是通过串行数据接口实现，可编程特性包括：增益调节、暗像素调节、输入时钟极性选择、和电源掉电。MS9943/MS9944 电源电压典型值为 3V，功耗为 79mW，封装形式为 LFCSP32。

主要特点

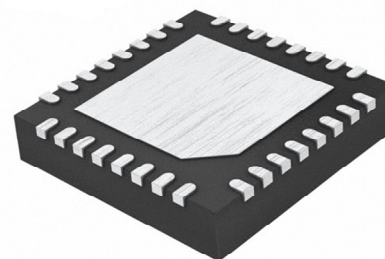
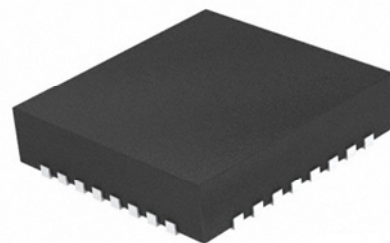
- 25MSPS 相关双采样（CDS）
- 10bit 控制 6dB 到 40dB 可变增益放大器（VGA）
- 低噪声暗像素钳位电路
- 预阴影功能
- MS9943 的无失码精度为 10bit
- MS9944 的无失码精度为 12bit
- 3 线串行数据接口
- 3V 电源电压
- QFN32 封装

应用

- 数字照相机
- 数字视频摄像机
- 个人电脑摄像头
- 便携式 CCD 图像传感器
- CCTV 摄像头

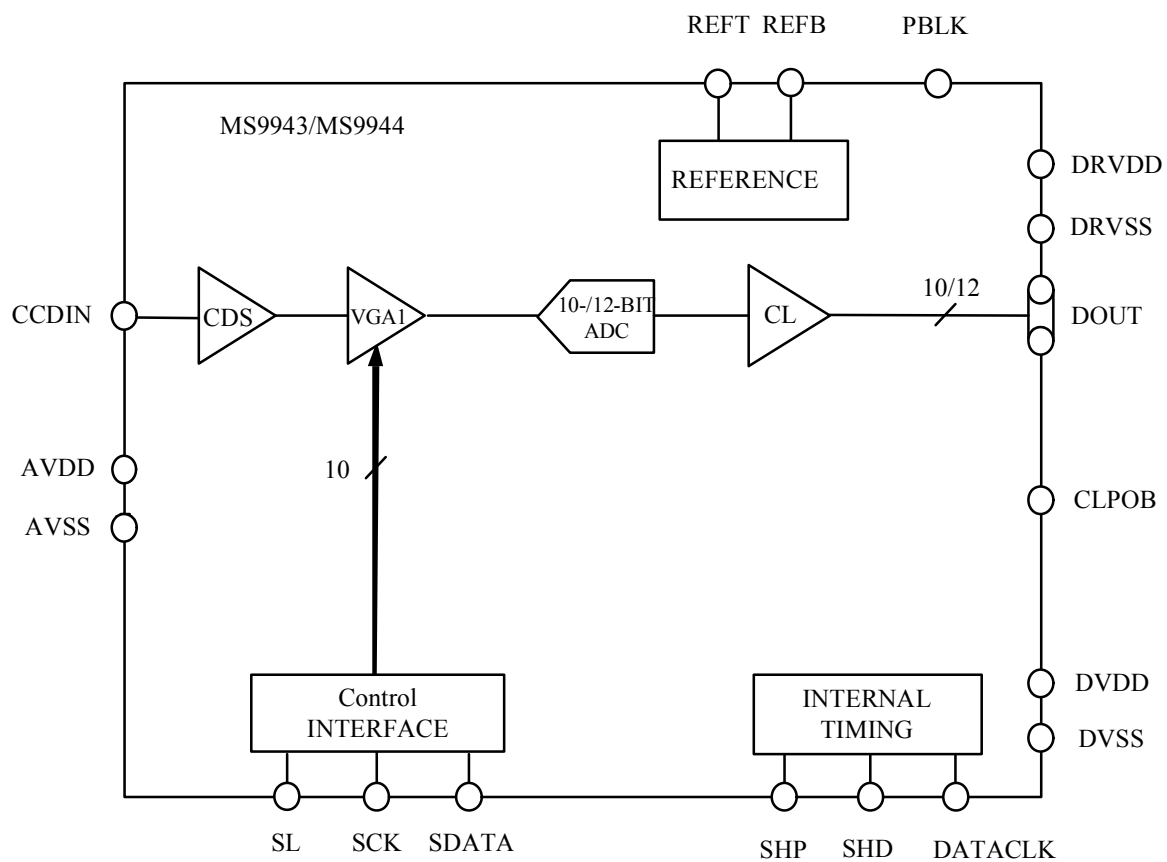
产品规格分类

产 品	封 装 形 式	打印名称
MS9943	QFN32	MS9943
MS9944	QFN32	MS9944

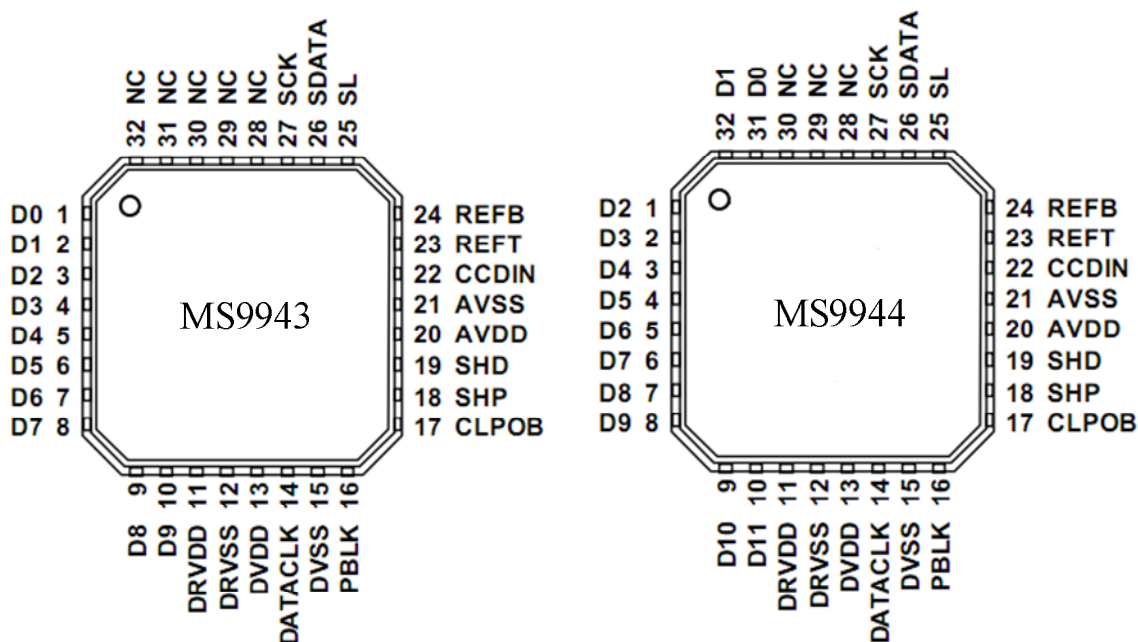


MS9943/MS9944

内部框图



管脚排列图



管脚描述

管脚号	管脚名称	I/O	管脚描述
MS9943			
1~10	D0~D9	O	数字数据输出
11	DRVDD	---	数字输出驱动电源
12	DRVSS	---	数字输出驱动地
13	DVDD	---	数字电源
14	DATACLK	I	数字数据输出锁存器时钟
15	DVSS	---	数字地
16	PBLK	I	匿影时钟输入
17	CLPOB	I	暗像素钳位时钟输入
18	SHP	I	CCD 基准电压相关采样时钟
19	SHD	I	CCD 数据相关采样时钟
20	AVDD	---	模拟电源
21	AVSS	---	模拟地
22	CCDIN	I	CCD 信号模拟输入
23	REFT	I	转换器正基准电压
24	REFB	I	转换器负基准电压
25	SL	O	串行数据载入接口脉冲

26	SDATA	I	串行数据接口数据输入
27	SCK	I	串行数据接口时钟输入
28~30	NC	NC	内部电位下拉，悬空或接地
31~32	NC	NC	内部断开
MS9944			
1~10	D2~D11	0	数字数据输出
11	DRVDD	---	数字输出驱动电源
12	DRVSS	---	数字输出驱动地
13	DVDD	---	数字电源
14	DATACLK	I	数字数据输出锁存器时钟
15	DVSS	---	数字地
16	PBLK	I	匿影时钟输入
17	CLPOB	I	暗像素钳位时钟输入
18	SHP	I	CCD 基准电压相关采样时钟
19	SHD	I	CCD 数据相关采样时钟
20	AVDD	---	模拟电源
21	AVSS	---	模拟地
22	CCDIN	I	CCD 信号模拟输入
23	REFT	I	转换器正基准电压
24	REFB	I	转换器负基准电压
25	SL	0	串行数据载入接口脉冲
26	SDATA	I	串行数据接口数据输入
27	SCK	I	串行数据接口时钟输入
28~30	NC	NC	内部电位下拉，悬空或接地
31	D0	0	数字数据输出
32	D1	0	数字数据输出

极限参数

参 数	符 号	参 数 范 围	单 位
模拟电源电压	AVDD	-0.3~+3.9	V
数字电源电压	DVDD	-0.3~+3.9	V
数字输出驱动电源电压	DRVDD	-0.3~+3.9	V
数字输出电压范围		-0.3~DRVDD+0.3	V
SHP, SHD, DATACLK 电压范围		-0.3~DVDD+0.3	V
CLPOB, PBLK 电压范围		-0.3~DVDD+0.3	V
SCK, SL, SDATA DVSS 电压范围		-0.3~DVDD+0.3	V
REFT, REFB, CCDIN 电压范围		-0.3~AVDD+0.3	V
最大结温	Jt	150	°C
焊接温度		300	°C

电气参数

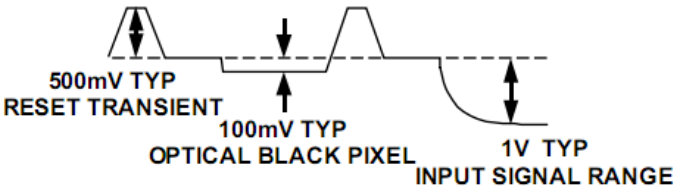
一般特性: TMIN to TMAX, AVDD = DVDD = DRVDD = 3 V, fSAMP = 25 MHz

参 数	符 号	最小值	典型值	最大值	单 位
工作温度	Top	-40		+100	°C
存储温度	Ts	-65		+150	°C
电源电压	AVDD/DVDD/DRVDD	2.7		3.6	V
正常工作功耗			79		mW
关断模式功耗			150		uW
最大时钟输入	Fclk(max)	25			MHz

数字特性: DRVDD = DVDD = 2.7 V, CL = 20 pF

参 数	符 号	测试条件	最小值	典型值	最大值	单 位
数字输入高电平	VIH		2.1			V
数字输入低电平	VIL				0.6	V
输入高电平漏电流	IiH			10		uA
输入低电平漏电流	IiL			10		uA
输入电容	Cin			10		pF
数字输出高电平	VIH		2.2			V
数字输出低电平	VIL				0.5	V

MS9943 电学特性: T_{MIN} to T_{MAX} , $AVDD = DVDD = DRVDD = 3\text{ V}$, $f_{SAMP} = 25\text{ MHz}$

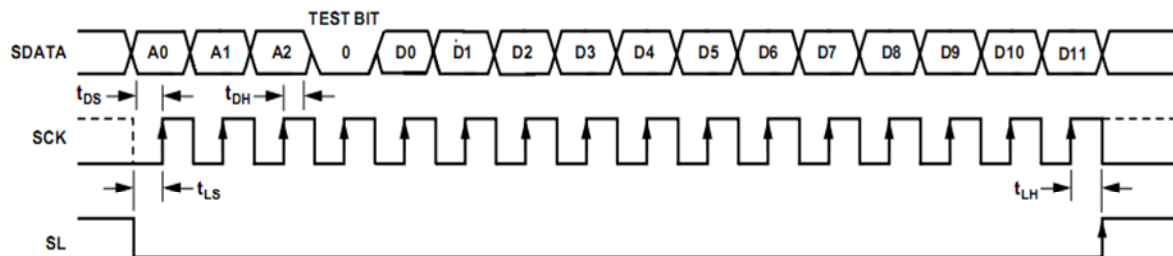
参 数	测 试 条 件	最小值	典型值	最大值	单位
相关双采样（CDS）					
输入范围	参考 CCD 信号特性		1.0		Vp-p
CCD 复位信号幅度			500		mV
CCD 暗像素幅度			100		mV
可变增益放大（VGA）					
增益控制精度			1024		步
增益单调性			— —		
增益范围	最小增益		5.3		dB
	最大增益	40	41.5		dB
暗像素钳位					
钳位精度			256		步
钳位电平	最小钳位电平		0		LSB
	最大钳位电平		63.75		LSB
A/D 转换					
精度			10		Bits
差分非线性			±0.3		LSB
无失码精度			10		Bits
数据输出	标准二进制格式				
满幅输入电压			2.0		V
基准电压					
基准正电压			2.0		V
基准负电压			1.0		V
系统性能					
增益范围	低增益(VGA Code = 0)		5.3		dB
	最大增益(VGA Code = 1023)	40	41.5		dB
增益精度			±1		dB
峰值非线性	500mV 输入信号		0.1		%
总的输出噪声			0.3		LSB rms
电源抑制比	电源电压加阶越信号		50		dB
CCD 输入信号					
					

MS9944 电学特性: T_{MIN} to T_{MAX} , $AVDD = DVDD = DRVDD = 3\text{ V}$, $f_{SAMP} = 25\text{ MHz}$

参 数	测 试 条 件	最小值	典型值	最大值	单位
相关双采样（CDS）					
输入范围	参考 CCD 信号特性		1.0		Vp-p
CCD 复位信号幅度			500		mV
CCD 暗像素幅度			100		mV
可变增益放大（VGA）					
增益控制精度			1024		步
增益单调性			— —		
增益范围	最小增益		5.3		dB
	最大增益	40	41.5		dB
暗像素钳位					
钳位精度			256		步
钳位电平	最小钳位电平		0		LSB
	最大钳位电平		255		LSB
A/D 转换					
精度			12		Bits
差分非线性			±0.4		LSB
无失码精度			12		Bits
数据输出	标准二进制格式				
满幅输入电压			2.0		V
基准电压					
基准正电压			2.0		V
基准负电压			1.0		V
系统性能					
增益范围	低增益(VGA Code = 0)		5.3		dB
	最大增益(VGA Code = 1023)	40	41.5		dB
增益精度			±1		dB
峰值非线性	500mV 输入信号		0.1		%
总的输出噪声			0.9		LSB rms
电源抑制比	电源电压加阶越信号		50		dB
CCD 输入信号					

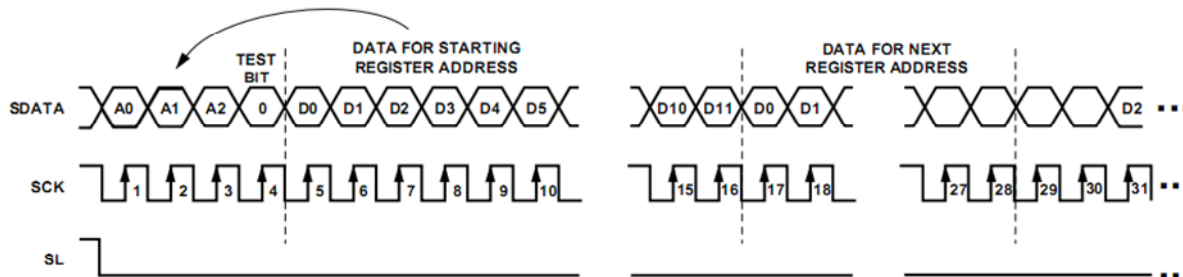
功能描述

1、时序图：



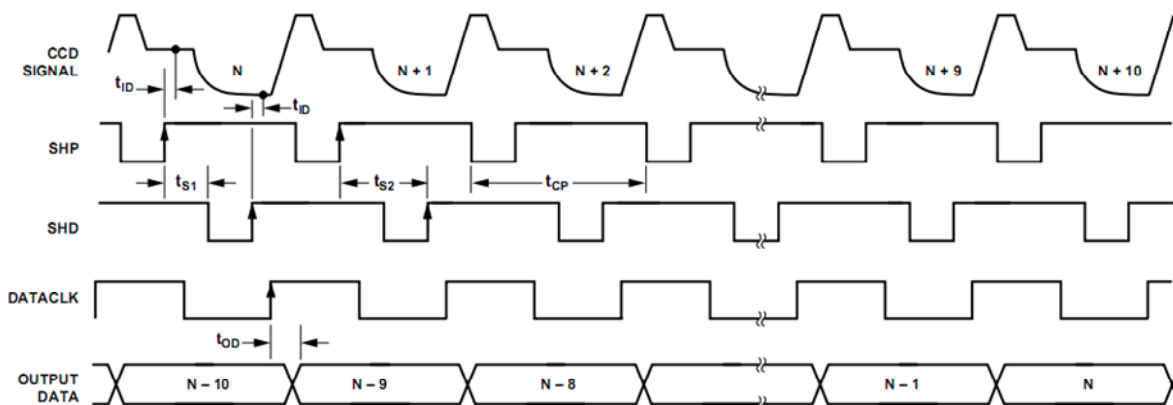
串口写操作

- 注：1. SDATA 数据倍内部锁存器的 SCK 的上升沿锁存；
2. 当 SL 信号出现下降沿时，系统自动更新寄存器数值；
3. 写操作必须是 12bit，当使用的位数比 12bit 少时，其它位补 0；
4. 测试位是为了内部使用也需置零。



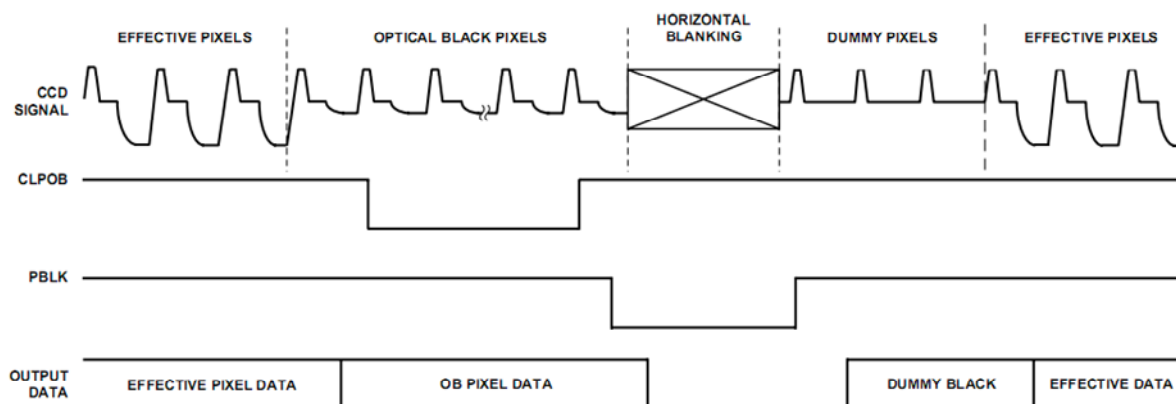
串口连续写操作

- 注：1. 当第一个地址写完后，接着是 12bit 数据；
2. 当处于连续写模式时，寄存器地址位自动加 1；
3. SL 信号保持低电平直到写完所有数据
4. 新的数据在下一个 SL 信号的下降沿到来时更新。



CCD模式时序

- 注：1. 建议将 DATACLK 的上升沿设置在 SHD 上升沿和下一个 SHP 下降沿之间；
2. CCD 信号被 SHP 和 SHD 上升沿采样；



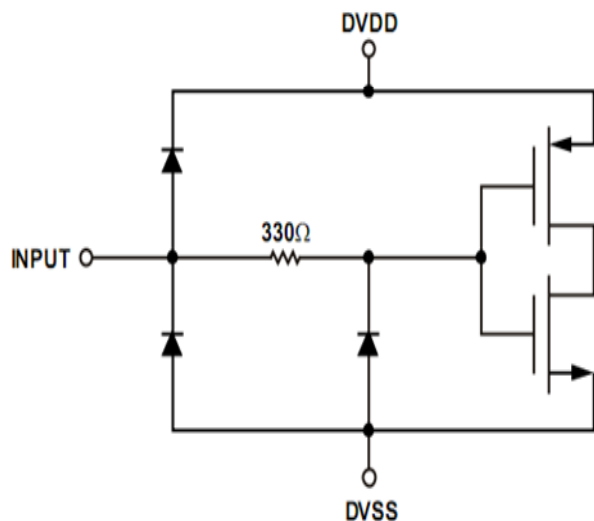
CCD模式线钳位时序

- 注：1. CLPOB 信号覆盖 PBLK 信号，建议将 DATACLK 的上升沿设置在 SHD 上升沿和下一个 SHP 下降沿之间；
2. PBLK 信号可选；
3. 在 PBLK 期间，数字输出值为全零，输出数据潜伏期是 9 个 DATACLK 周期。

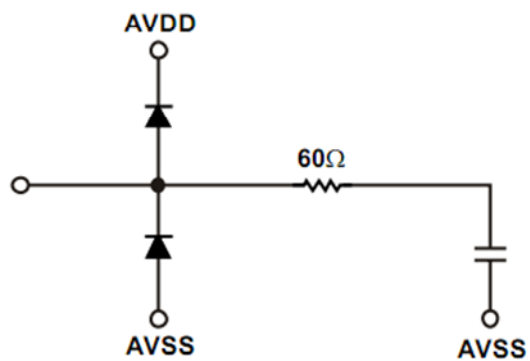
MS9943/MS9944 时序表

参数	描述	最小值	典型值	最大值	单位
采样周期					
tCONV	DATACLK, SHP, SHD 时钟周期	40			ns
tADC	DATACLK 高、低电平脉宽	16	20		ns
tSHP	SHP 脉冲宽度		10		ns
tSHD	SHD 脉冲宽度		10		ns
tCOB	CLPOB 脉冲宽度	2	20		Pixels
tS1	SHP 上升沿到 SHD 下降沿的时间		10		ns
tS2	SHP 上升沿到 SHD 上升沿的时间	16	20		ns
tID	内部时钟延时		3.0		ns
数据输出					
tOD	输出延时		9.5		ns
	并行延时		9		Cycles
串行接口					
fSCLK	最大 SCK 频率	10			MHz
tLS	SL 到 SCK 建立时间	10			ns
tLH	SCK 到 SL 保持时间	10			ns
tDS	SDATA 有效到 SCK 上升沿建立时间	10			ns
tDH	SCK 下降沿到 SDATA 有效保持时间	10			ns

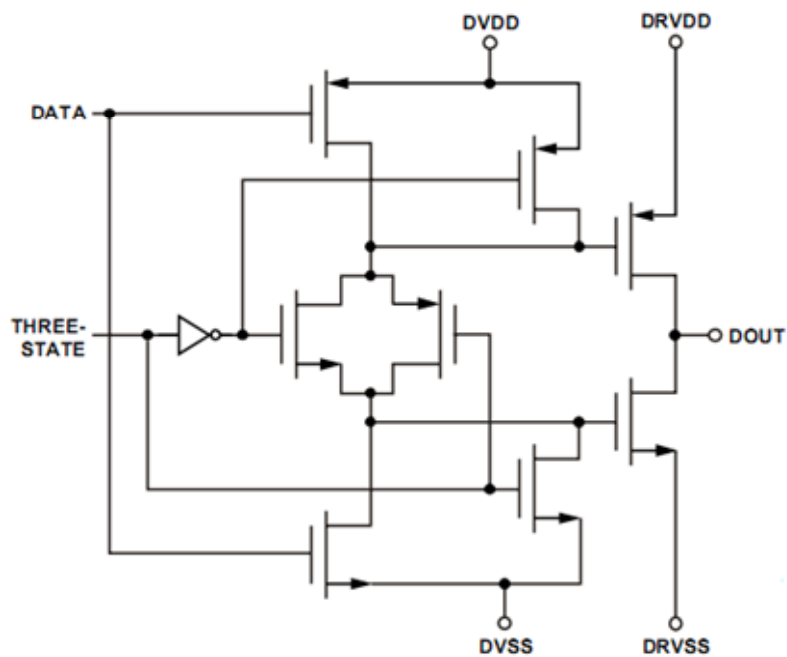
2、等效输入电路：



数字输入等效电路

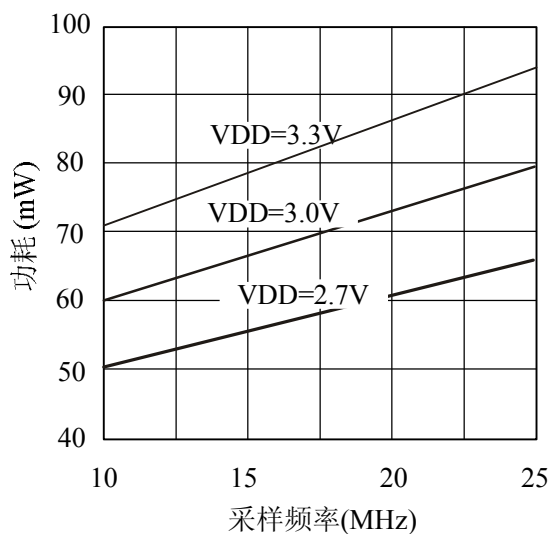


CCD输入等效电路

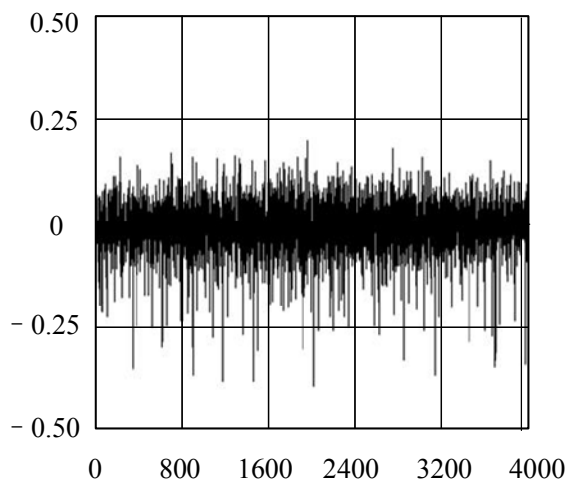


数据输出等效电路

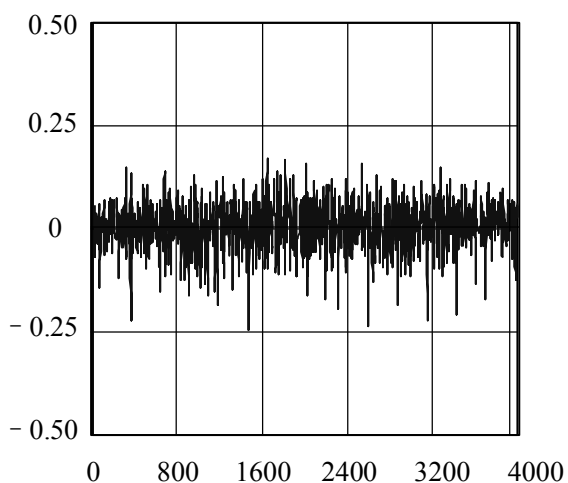
3、典型特性曲线：



MS9943/MS9944 功耗相对于采样率

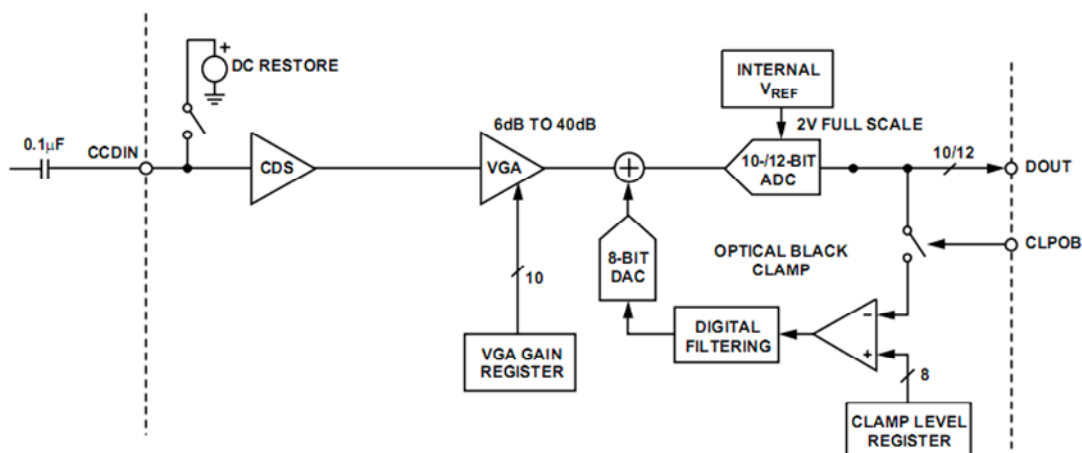


MS9944 典型DNL特性



MS9943 典型DNL特性

4、模块描述：



CCD 模式模块框图

4.1 直流钳位电路

由于 CCD 的输出信号因为包含了一个较大的直流成分，这个直流量很容易造成放大器的饱和和或者引起共模效应。此的功能是将叠加在 CCD 像素上的直流电平恢复到一个希望的值。在实际电路设计中，将输入信号经过一个 0.1μF 的耦合电容连接到 MS9943 的 CCD 信号输入引脚，在耦合电容端产生一个理想的直流偏置电压，可以将 CCD 信号的直流电平箝位在 1.5V 左右。

4.2 相关双采样器

相关双采样（CDS）是根据 CCD 输出信号和噪声信号的特点而设计，它能消除复位噪声的干扰，对闪烁噪声和低频噪声也有抑制作用，可以显著改善信噪比，提高信号检测精度。本设计中的采样时钟由 SHP 和 SHD 组成，在时钟的上升沿分别采样 CCD 输入信号的基准电平和图像电平。正确的设置 SHP 和 SHD 的采样时序是完成 CDS 的关键。

4.3 暗像素箝位

暗像素箝位环路用来移除采样通道中剩余的偏移电压，同时能够跟随 CCD 黑电平信号的低频变化。它的工作原理是：首先，通过对相应寄存器配置，获得需要的箝位电平，然后，在 CCD 的消隐期，ADC 的输出电压与用户通过寄存器配置的黑电平比较；最后，比较后的信号通过滤波降低噪声，将修正的信号通过 DAC 重新输入 ADC。通常，黑电平箝位环路应在每个行周期变化一次，但实际上这个环路可以变化得更慢以适应特殊需要。

如果在芯片外部已经有相应的箝位芯片或者电路，MS9943 的暗像素箝位环路可以通过寄存器的 bit3 关闭。当这个环路关闭的时候，这个寄存器仍旧可以用来提供可编程的偏移量。视频信号的黑电平出现在行信号的脉冲中，作为新的一行开始的标志。CLPOB 信号脉冲应该出现在有效 CCD 信号的暗像素期间，且为了使噪声最小化，其脉冲宽度最小为 20 个像素宽度。

4.4 A/D 转换器

MS9943/MS9944 内部含有一个高速、低功耗的 A/D 转换器。它的高性能体现在：精度为 10/12 位；采样率为 25MHz；并行结构；2V 的输入幅值范围；更好的抗噪能力。

4.5 可变增益放大器

MS9943/MS9944 提供了一个分辨率为 10 位、增益范围为 6dB—40dB 的 VGA，VGA 的增益系数由串行总线对相应寄存器的进行配置，当 VGA 的增益处于最小 6dB 时，AD 的输入信号幅值不能超过 1V。具体的 VGA 增益值公式为：

$$\text{VGA Gain (dB)} = (\text{VGA Code} * 0.035 \text{ dB}) + 5.3 \text{ dB}$$

其特性曲线为：



VGA 特性曲线

4.6 上电复位电路

MS9943/MS9944 上电后需要 1ms 的延时复位，并启动内部的校准程序。在这期间，所有对时钟信号和串口的配置都将被忽略，直到内部复位、校准完成后，外部对 MS9943/MS9944 的在串口上的配置信号才有效。所以，在对 MS9943/MS9944 内部寄存器进行配置的时候要注意在芯片上电之后需要延时至少大于 1ms 时间。

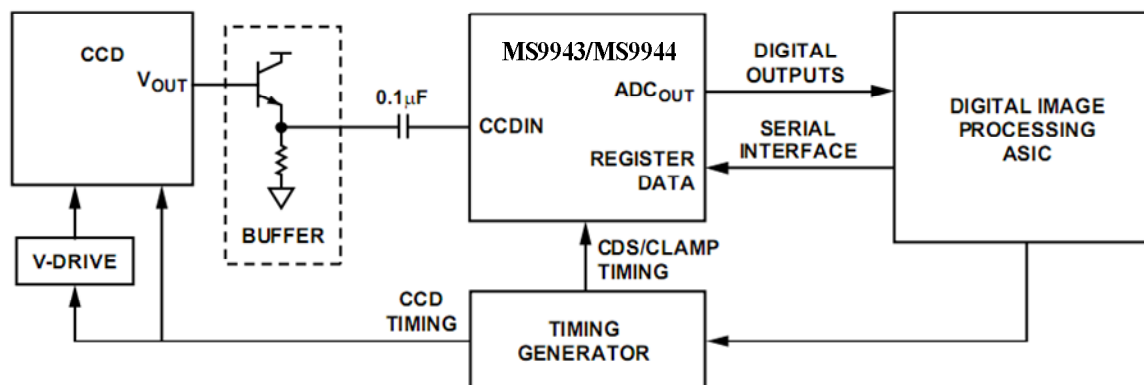
5 寄存器描述

上电除钳位外默认值全为 0（钳位电平 MS9943 默认值为 32LSB，MS9944 为 128LSB）

名称	地址(A2A1A0)	数据位	功能
操作	000	D0	软复位（0：正常工作；1：寄存器复位到默认值）
		D2, D1	下电模式（00：正常；01：待机；10：关断）
		D3	黑电平钳位使能（0：打开；1：关闭）
		D5, D4	测试模式，总是 00
		D6	消隐电平（0：低电平；1：钳位电平）
		D8, D7	测试模式 1，总是 00
		D11~D9	测试模式 2，总是 000
控制	001	D0	SHP/SHD 输入极性（0：低电平有效；1：高电平有效）
		D1	DATACLK 输入极性（0：低电平有效；1：高电平有效）
		D2	CLPOB 输入极性（0：低电平有效；1：高电平有效）
		D3	PBLK 输入极性（0：低电平有效；1：高电平有效）
		D4	三态数据输出（0：输出激活；1：输出三态）
		D5	数据输出锁存（0：DATACLK 锁存；1：透明）
		D6	数据输出编码（0：二进制输出；1：格雷码输出）
		D11~D7	测试模式，总是 00000
钳位电平	010	D7~D0	钳位电平 MS9943/MS9944：0=0/0LSB，1=63.75/255LSB
VGA 增益	011	D9~D0	VGA 增益（0=6dB，1023=40dB）

典型应用图

下图是 MS9943/MS9944 典型应用图：



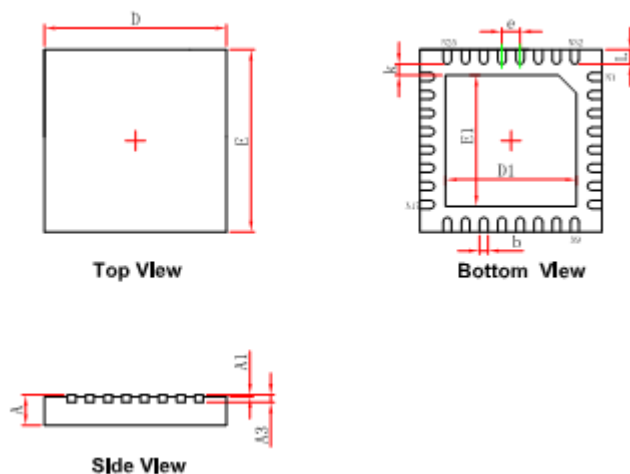
注意：

MS9943/MS9944 需要将数字地与模拟地分开布线。数字地节点之间连线要尽量保持连续，以减少退藕电容在电源和旁路引脚以及其接地引脚之间产生的电阻回路。退藕电容要尽量靠近芯片放置。MS9943/MS9944 的电源也推荐将模拟电源和数字电源分开，使用独立的数字电源的好处之一是可以使用较低的数字电源（2.7V），以实现与 2.7V 的芯片和电路的电平匹配，同时也能降低功耗和由电源电压产生的噪声。

MS9943/MS9944 输出的 12 位数字信号如果要驱动负载电容大于 20pF，则需要缓冲器以减少传输噪声。通常，可选择串连电阻作为缓冲器，尽可能近的靠近信号输出引脚放置起到去噪的目的。

封装外形图

下图是 MS9943/MS9944 封装图:



Symbol	Dimensions In Millimeters		Dimensions In Inches	
	Min.	Max.	Min.	Max.
A	0.700/0.800	0.800/0.900	0.028/0.031	0.031/0.035
A1	0.000	0.050	0.000	0.002
A3	0.203REF.		0.008REF.	
D	4.924	5.076	0.194	0.200
E	4.924	5.076	0.194	0.200
D1	3.300	3.500	0.130	0.138
E1	3.300	3.500	0.130	0.138
k	0.200MIN.		0.008MIN.	
b	0.180	0.300	0.007	0.012
e	0.500TYP.		0.020TYP.	
L	0.324	0.476	0.013	0.019