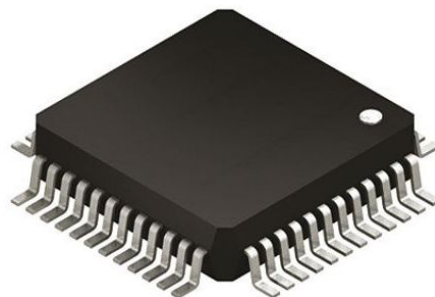


27 位，3-35MHz 直流平衡 LVDS 解串器

描述

MS9218 数字视频串/并转换器在数据和控制周期对总共 27 位数据解串。在数据周期，LVDS 串行输入被转换为 18 位并行视频数据，在控制周期，输入被转换为 9 位并行控制数据。分开的视频和控制周期充分利用视频时序来降低串行数据速率。专用数据解码降低 EMI 并提供 DC 平衡。DC 平衡允许使用 AC 耦合，为发送和接收之间提供隔离。MS9218 具有可选的上升沿或下降沿输出锁定。



主要特点

- 专用数据解码实现 DC 平衡并降低 EMI
- 视频消隐期间解串控制数据
- 5 位控制数据输入为一位的误差容限
- 输出转换时间根据工作频率调整以降低 EMI
- 交叉输出切换以降低 EMI
- 输出使能允许使用输出总线
- 锁定时时钟脉冲延展
- 宽至 $\pm 2\%$ 的参考时钟容限
- 无需外部控制即可与 MS9217 串行器同步
- ISO 10605 ESD 保护
- 独立输出电源实现与 1.8V 至 3.3V 逻辑接口
- +3.3V 内核电源
- LQFP 封装
- -40°C 至 $+85^{\circ}\text{C}$ 工作温度范围

应用

- 导航系统显示器
- 车载娱乐系统
- 摄像机
- LCD 显示器

产品规格

产 品	封 装 形 式	打印名称
MS9218	LQFP48	MS9218

内部框图

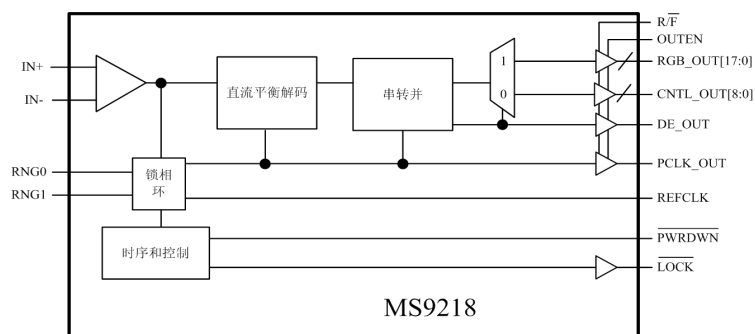
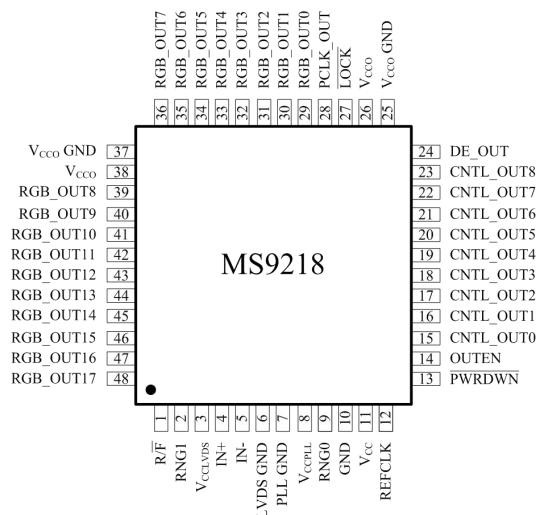


图1. MS9218内部框图

管脚描述



MS9218 管脚描述

管脚号	管脚名称	管脚描述
1	R/F	选择上升或下降沿锁存。LVTTTL/LVCMOS 输入。选择 PCLK_OUT 的边沿用于锁存数据到下一芯片。设置为高电平选择上升沿锁存。设置为低电平选择下降沿锁存。内部接地。
2	RNG1	LVTTTL/LVCMOS 范围选择输入。设置范围包含了串化器并行时钟输入频率。内部接地。
3	V _{CCLVDS}	LVDS 供电电源。用 0.1μF 和 0.001μF 的电容器并联尽可能接近设备旁路到 LVDS 地，用最小电容接近供电管脚。
4	IN+	LVDS 串行数据输入正端
5	IN-	LVDS 串行数据输入负端
6	LVDS GND	LVDS 地
7	PLL GND	PLL 地
8	V _{CCPLL}	PLL 供电电源。用 0.1μF 和 0.001μF 的电容器并联尽可能接近设备旁路到 PLL 地，用最小电容接近供电管脚。
9	RNG0	LVTTTL/LVCMOS 输入范围选择。设置范围包含了串化器并行时钟输入频率。内部接地。
10	GND	数字地
11	V _{CC}	数字供电电源。给 LVTTTL/LVCMOS 输入和数字电路供电。用 0.1μF 和 0.001μF 的电容器并联尽可能接近设备旁路到地，用最小电容接近供电管脚。
12	REFCLK	LVTTTL/LVCMOS 参考时钟输入。参考时钟必须在串化器 PCLK_IN 频率的±2%内。内部接地。
13	PWRDWN	LVTTTL/LVCMOS 掉电输入。内部接地。

14	OUTEN	LVTTL/LVCMOS 输出使能输入。高电平激活单端输出。接低电平使单端输出进入高阻态。内部接地。
15-23	CNTL_OUT[8:0]	LVTTL/LVCMOS 控制数据输出。当 DE_OUT 为低电平时，根据 R/F 管脚选择 PCLK_OUT 的上升或下降沿将 CNTL_OUT[8:0] 锁存到下一个芯片，当 DE_OUT 为高电平时保持最后的状态。
24	DE_OUT	LVTTL/LVCMOS 数据使能输出。高电平表示 RGB_OUT[17:0] 有效。低电平表示 CNTL_OUT[8:0] 有效。
25, 37	V _{cco} GND	输出地
26, 38	V _{cco}	输出供电电源。用 0.1μF 和 0.001μF 的电容并联尽可能接近设备旁路到 PLL 地，用最小电容接近供电管脚。
27	$\overline{\text{LOCK}}$	LVTTL/LVCMOS 锁定指示输出。当 $\overline{\text{LOCK}}$ 为低电平时，输出有效。
28	PCLK_OUT	LVTTL/LVCMOS 并行时钟输出。根据 R/F 选择边沿锁存数据到下一芯片。
29-36, 39-48	RGB_OUT[17:0]	LVTTL/LVCMOS 红，绿，蓝数字视频数据输出。当 DE_OUT 为高电平时，根据 R/F 管脚选择 PCLK_OUT 的上升或下降沿将 RGB_OUT[17:0] 锁存到下一个芯片，当 DE_OUT 为低电平时保持最后的状态。

极限参数

V _{CC_到_GND}	-0.5V ~ +4.0V
任何地到任何地	-0.5V ~ +0.5V
IN+,IN-到 LVDS GND	-0.5V ~ +4.0V
IN+,IN-短路到 LVDS GND 或 V _{CCLVDS}	连续的
IN+,IN-通过 0.125μF (或更小), 25V 系列电容短接	-0.5V ~ +16V
(R/F, OUTEN, RNG_, REFCLK, PWRDWN)到地	-0.5V ~ (V _{CC} +0.5V)
(RGB_OUT[17:0], CNTL_OUT[8:0], DE_OUT, PCLK_OUT, LOCK)到 V _{CCO} GND	-0.5V ~ (V _{CCO} +0.5V)
功耗 (T _A =+70℃) 48 引线 LQFP 封装 (+70℃上降低 21.7mW/℃)	1739mW
ESD 保护 机械模式(R _D =0Ω, C _S =200pF)所有管脚对地 人体模式(R _D =1.5kΩ, C _S =100pF)所有管脚对地	±200V ±3.0kV
ISO 10605 (R _D =2kΩ, C _S =330pF) 接触放电 (IN+,IN-)对地 空气放电 (IN+,IN-)对地	±10kV ±30kV
存储温度范围	-65℃ ~ +150℃
结点温度	+150℃
导线温度 (焊接 10s)	+300℃

超出极限参数可能会对器件引起永久的损害。

电气特性

直流电气特性

($V_{CC_}=+3.0V\sim+3.6V$, $\overline{PWRDWN}$ =高, 差分输入电压 $|V_{ID}|=0.05V\sim1.2V$, 输入共模电压

$V_{CM}=|V_{ID}/2|\sim V_{CC}-|V_{ID}/2|$, $T_A = -40^{\circ}C\sim+85^{\circ}C$, 除另外说明。典型值为 $V_{CC_}=+3.3V$, $|V_{ID}|=0.2V$, $V_{CM}=1.2V$, $T_A=+25^{\circ}C$ 。) (注 1, 2)

符号	参数	条件			最小值	典型值	最大值	单位
单端输入($\overline{R/\overline{F}}$, $\overline{OUTEN}$, $\overline{RNG0}$, $\overline{RNG1}$, $\overline{REFCLK}$, $\overline{PWRDWN}$)								
V_{IH}	高电平输入电压				2.0		$V_{CC}+0.3$	V
V_{IL}	低电平输入电压				-0.3		+0.8	V
I_{IN}	输入电流	$V_{IN} = -0.3V\sim(V_{CC}+0.3V)$, $\overline{PWRDWN} =$ 高或低			-70	8	+70	μA
V_{CL}	输入钳位电压	$I_{CL} = -18mA$					-1.5	V
单端输出 ($\overline{RGB_OUT[17:0]}$, $\overline{CNTL_OUT[8:0]}$, $\overline{DE_OUT}$, $\overline{PCLK_OUT}$, $\overline{LOCK}$)								
V_{OH}	高电平输出电压	$I_{OH} = -100\mu A$			$V_{CCO}-0.1$			V
		$I_{OH} = -2mA$, $\overline{RNG1}$, $\overline{RNG0} =$ 高			$V_{CCO}-0.35$			
		$I_{OH} = -2mA$, $\overline{RNG1}$, $\overline{RNG0}$ 不同时为高			$V_{CCO}-0.4$			
V_{OL}	低电平输出电压	$I_{OL} = 100\mu A$			0.1			V
		$I_{OL} = 2mA$, $\overline{RNG1}$, $\overline{RNG0} =$ 高			0.3			
		$I_{OH} = 2mA$, $\overline{RNG1}$, $\overline{RNG0}$ 不同时为高			0.35			
I_{OZ}	高阻态输出电流	$\overline{PWRDWN} =$ 低或 $\overline{OUTEN} =$ 低 $V_O = -0.3V\sim V_{CCO}+0.3V$			-10		+10	μA
I_{OS}	输出短路电流	$\overline{RNG1}$, $\overline{RNG0} =$ 高, $V_O = 0$			-28			mA
		$\overline{RNG1}$, $\overline{RNG0}$ 不同时为高, $V_O = 0$			-20			
LVDS 输入 ($\overline{IN+}$, $\overline{IN-}$)								
V_{TH}	差分输入高阈值						50	mV
V_{TL}	差分输入低阈值				-50			mV
$I_{\overline{IN+},\overline{IN-}}$	输入电流	$\overline{PWRDWN} =$ 高或低			-10		+10	μA
R_{IB}	输入偏置电阻	$\overline{PWRDWN} =$ 高或低			35	50	65	k Ω
		$V_{CC_} = 0$ 或开路, $\overline{PWRDWN} = 0$ 或开路, 图 1			35	50	65	k Ω
$I_{\overline{INO+},\overline{INO-}}$	断电输入电流	$V_{CC_} = 0$ 或开路, $\overline{PWRDWN} = 0$ 或开路			-40		+40	μA
电源								
I_{CCW}	供电电流	$C_L = 8pF$	$\overline{RNG1} =$ 低	3MHz		14		mA

		最差情况，图 2	RNG0=低	7MHz	28	
			RNG1=高	7MHz	20	
			RNG0=低	15MHz	37	
			RNG1=高	15MHz	29	
			RNG0=高	35MHz	60	
I _{CCZ}	掉电供电电流	(注 3)			48	μA

交流电气特性

($V_{CC_} = +3.0V \sim +3.6V$, $C_L = 8pF$, $\overline{PWRDWN} = \text{高}$, 差分输入电压 $|V_{ID}| = 0.1V \sim 1.2V$, 输入共模电压 $V_{CM} = |V_{ID}|/2 \sim V_{CC_} - |V_{ID}|/2$, $T_A = -40^\circ C \sim +85^\circ C$, 除另外说明。典型值为 $V_{CC_} = +3.3V$, $|V_{ID}| = 0.2V$, $V_{CM} = 1.2V$, $T_A = +25^\circ C$ 。)(注 4, 5)

符号	参数	条件	最小值	典型值	最大值	单位
REFCLK 时序要求						
t _r	周期		28.57		333.00	ns
f _{CLK}	频率		3		35	MHz
Δf _{CLK}	频率变化	REFCLK 到串行 PCLK_IN	-2.0		+2.0	%
DC	占空比		40	50	60	%
t _{TRAN}	转换时间	20%到 80%			6	ns
开关特性						
t _r	输出上升时间	图 3	RNG1, RNG0=高	3.2	4.4	ns
			RNG1, RNG0 不同时为高	3.8	5.5	
t _f	输出下降时间	图 3	RNG1, RNG0=高	2.7	4.5	ns
			RNG1, RNG0 不同时为高	3.6	5.3	
t _{HIGH}	PCLK_OUT 高电平时间	图 4	0.4 x t _r	0.45 x t _r	0.6 x t _r	ns
t _{LOW}	PCLK_OUT 低电平时间	图 4	0.4 x t _r	0.45 x t _r	0.6 x t _r	ns
t _{DVB}	PCLK_OUT 变化前数据有效	图 5	0.35 x t _r	0.4 x t _r		ns
t _{DVA}	PCLK_OUT 变化后数据有效	图 5	0.35 x t _r	0.4 x t _r		ns
t _{DELAY}	输入输出延迟	图 6	2.575 x t _r +8.5	2.575 x t _r +12.8		ns
t _{PLLREF}	PLL 锁定到 REFCLK	图 7		16385 x t _r		ns
t _{PDD}	掉电延迟	图 7		100		ns
t _{OE}	输出启动时间	图 8		30		ns
t _{OZ}	输出截止时间	图 9		30		ns

注 1: 电流流向管脚定义为正。电流流出管脚定义为负。除了 V_{TH} 和 V_{TL} 外, 所有的电压都是相

对于地的。

注 2: 温度范围的最大和最小极限值由设计和特性决定。产品测试温度 $T_A=+25^{\circ}\text{C}$

注 3: 除 $\overline{\text{PWRDWN}}$ 外, 所有 LVTTL/LVCMOS 输入 $\leq 0.3\text{V}$ 或 $\geq V_{\text{CC}}-0.3\text{V}$ 。 $\overline{\text{PWRDWN}} \leq 0.3\text{V}$ 。

注 4: 交流参数由设计和特性决定, 不是产品测试的。

注 5: C_L 包含了探头和测试夹具电容。

典型操作特性

($V_{CC_}=+3.3V$, $C_L=8pF$, $T_A=+25^{\circ}C$ 。)

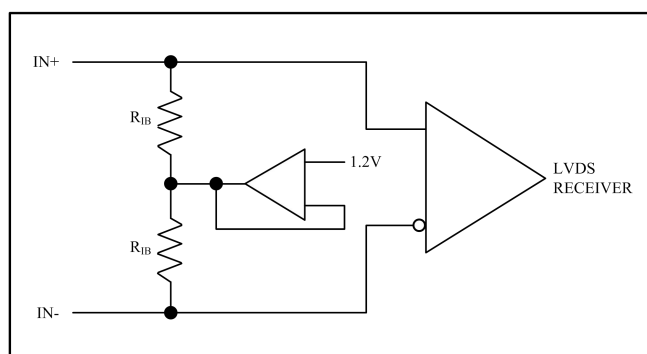
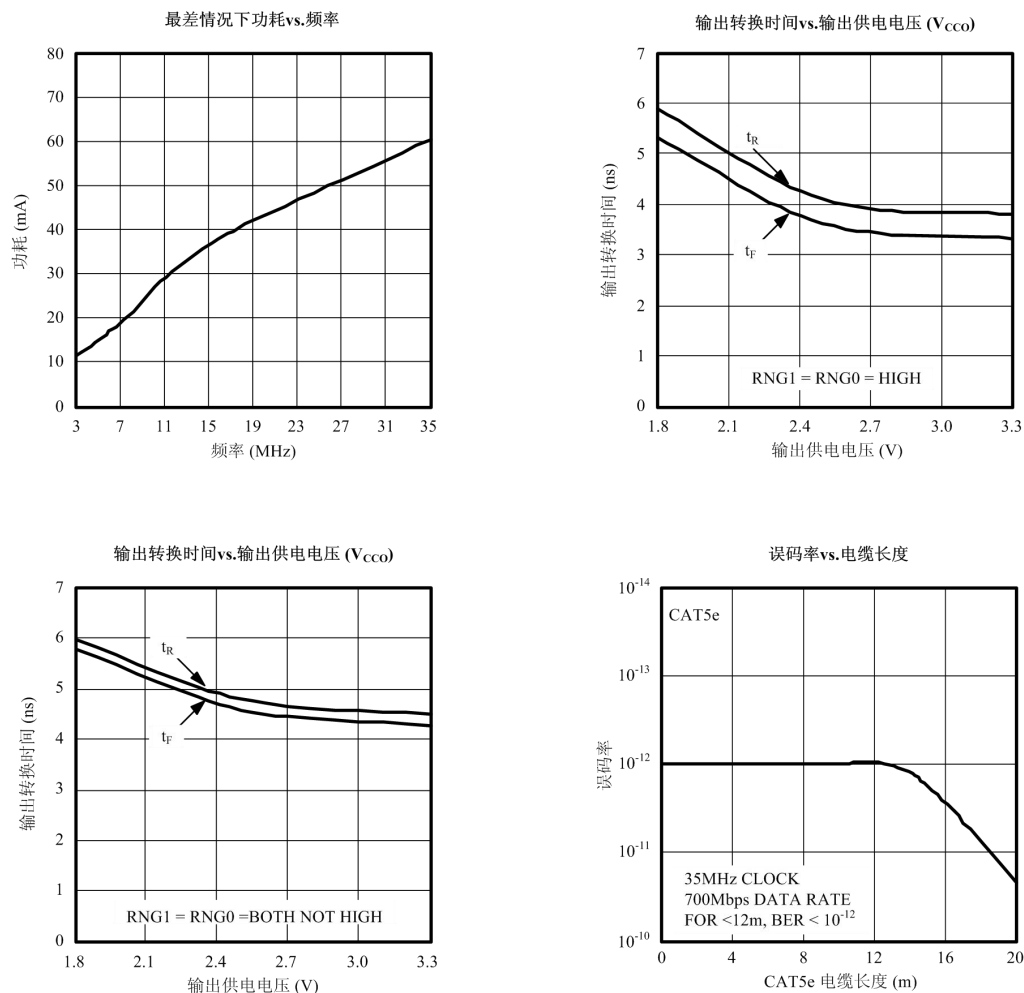


图 1.LVDS 输入偏置

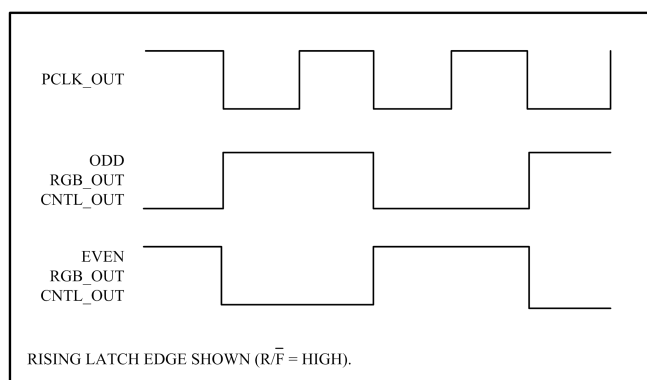


图 2.最坏情况输出波形

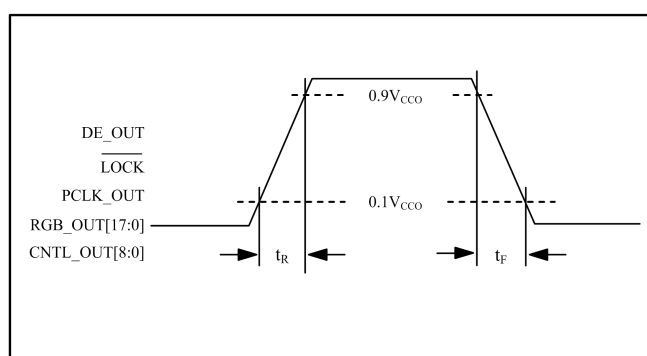


图 3.输出上升和下降时间

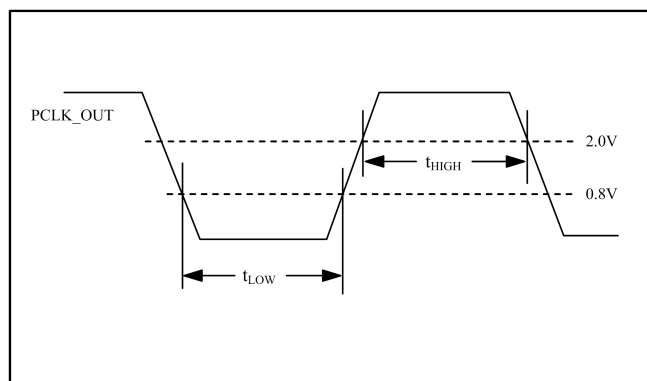


图 4.高电平和低电平时间

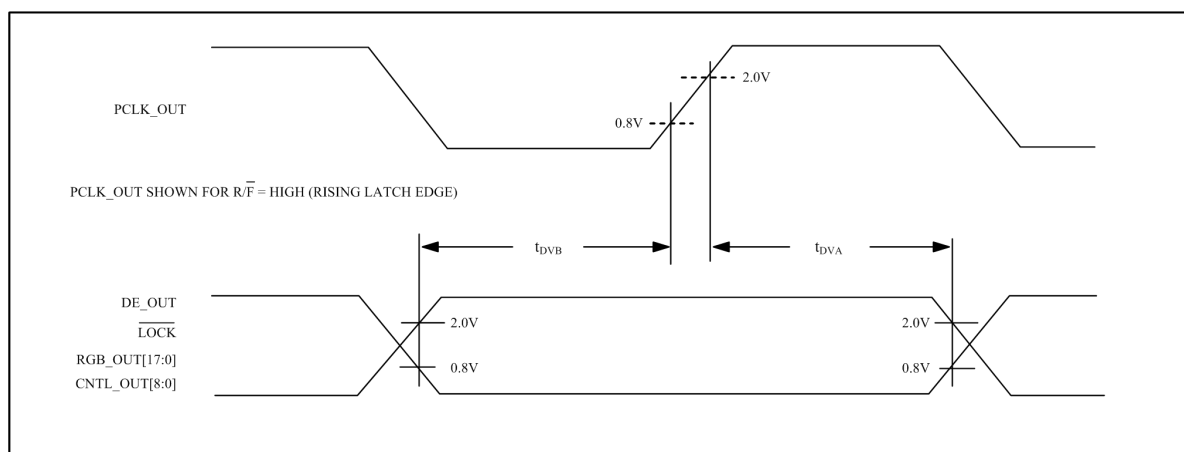


图 5.同步输出时序

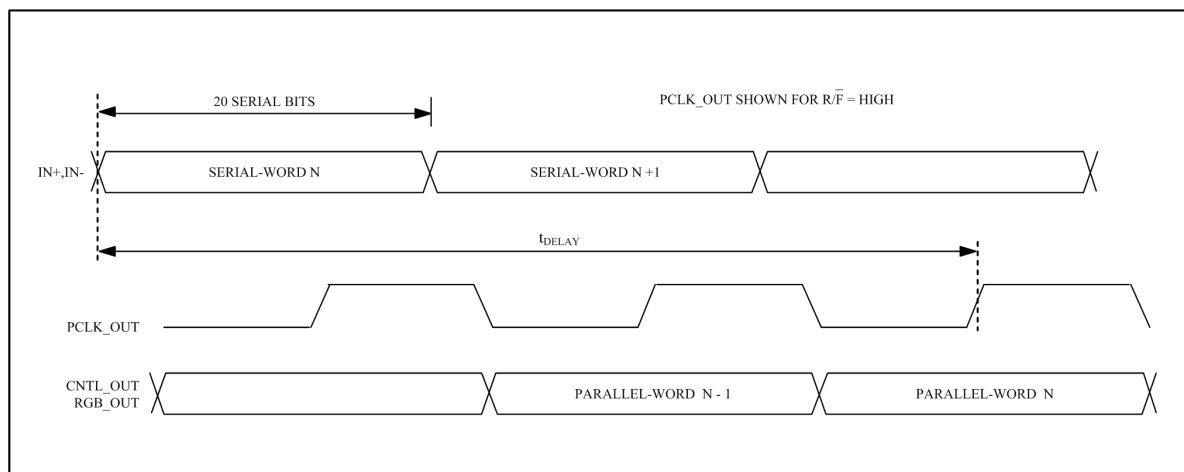


图 6.解串器延迟

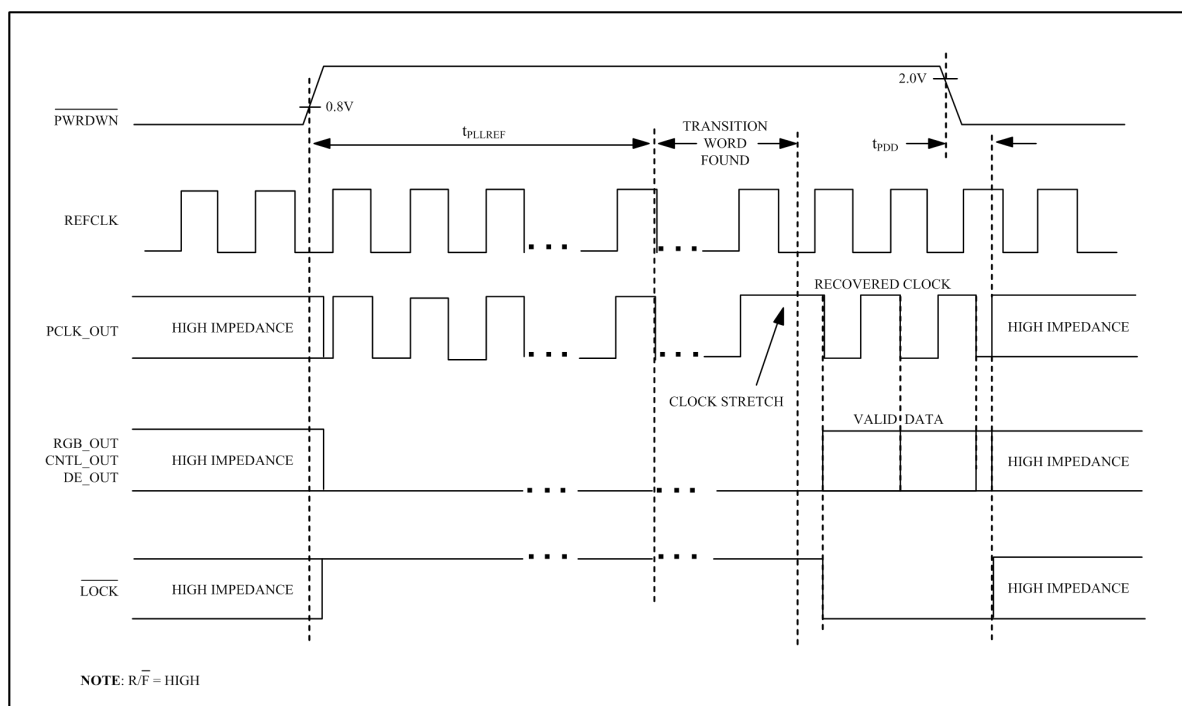


图 7.PLL 锁定到 REFCLK 和掉电延迟

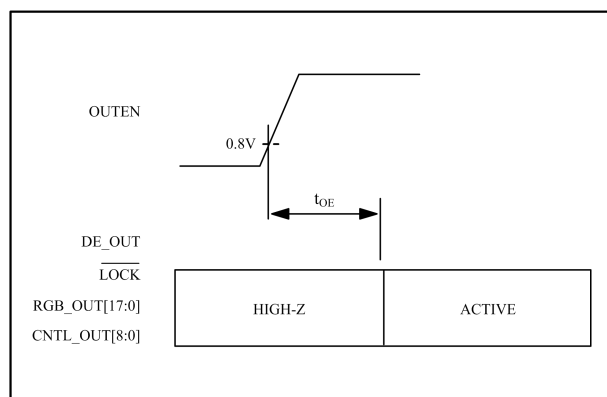


图 8.输出启动时间

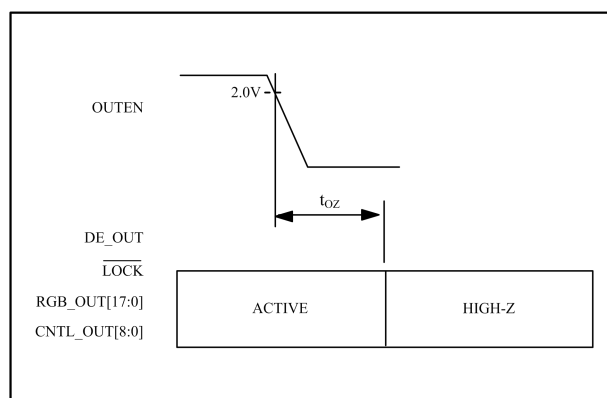


图 9.输出截止时间

功能描述

1 详细描述

MS9218 直流平衡解串器工作在并行时钟频率为 3MHz-35MHz，当数据使能输出 DE_OUT 为高电平时解串视频数据到 RGB_OUT[17:0]输出端，或者当 DE_OUT 为低电平时解串控制数据到 CNTL_OUT[8:0]输出端。视频相位字由 2 位头码 EN0 和 EN1 进行解码。控制相位字由 1 位头码 EN0 进行解码。MS9217 串化器编码降低 EMI，并且维持串行电缆的直流平衡。串行输入字格式见表 1 和表 2。

控制数据输入 C0-C4 各由串化器重复 3 位，使用多数表决进行解码。两位或三位相同的状态决定接收位的状态，允许 C0-C4 信号一位的错误容忍。C5-C8 的状态由位本身决定。

表 1. 串行视频相位字格式

0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19
EN	EN	S0	S1	S2	S3	S4	S5	S6	S7	S8	S9	S1	S1	S1	S1	S1	S1	S1	S1
0	1											0	1	2	3	4	5	6	7

位 0 是最低位且最先解串。EN[1:0]是编码位。S[17:0]是编码后符号。

表 2. 串行控制相位字格式

0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19
EN	C0	C0	C0	C1	C1	C1	C2	C2	C2	C3	C3	C3	C4	C4	C4	C5	C6	C7	C8
0																			

位 0 是最低位且最先解串。C[8:0]是映射的控制输入。

1.1 交流耦合优点

交流耦合使 LVDS 接收器的输入电压增大到电容器的额定电压。两个电容就可以提供足够的隔离度，但如果电缆任何一端短接到高压时，使用四个电容（两个在串化器输出端，两个在解串器输入端）可以对收发芯片都提供保护。交流耦合抑制低频的地电位漂移和共模噪声。MS9217 串化器也可直流耦合到 MS9218 解串器。图 10 是串化器和解串器只在接收端使用 2 个电容交流耦合，图 11 是串化器和解串器使用 4 个电容交流耦合。

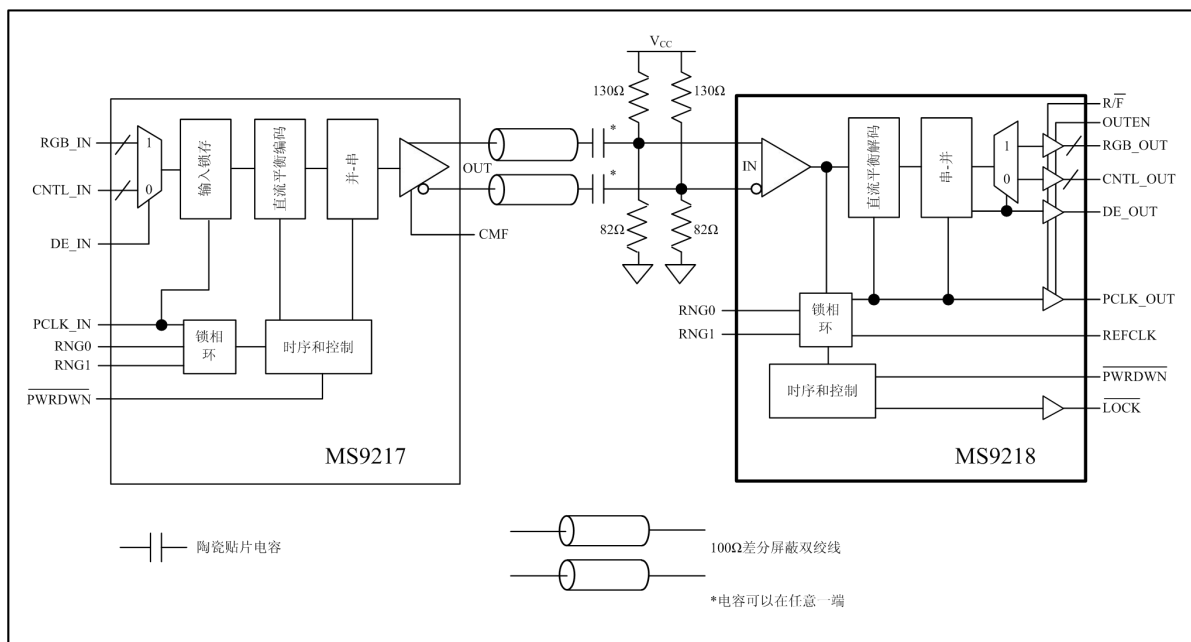


图 10.每对串化器和解串器使用两个电容交流耦合

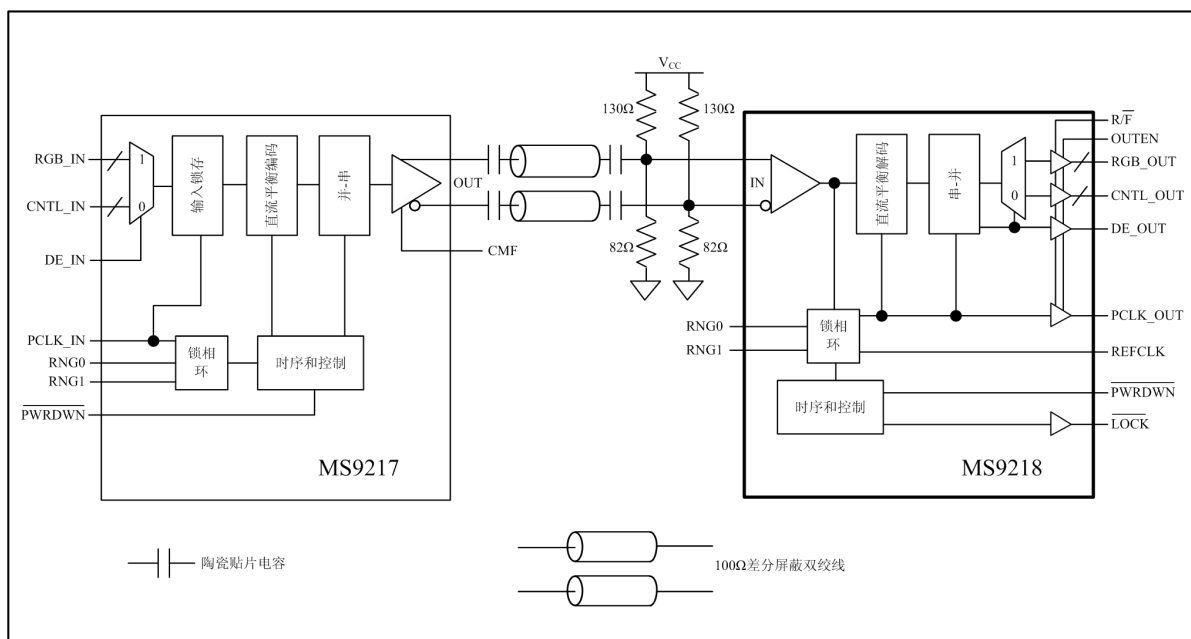


图 11.每对串化器和解串器使用四个电容交流耦合

2 应用信息

2.1 交流耦合电容器的选择

见图 12，根据并行时钟频率计算交流耦合所用的电容值。该图显示了每对 2 个和 4 个电容系统的电容值。在低于 18MHz 时钟频率的系统应用中，使用 0.1μF 的电容器。

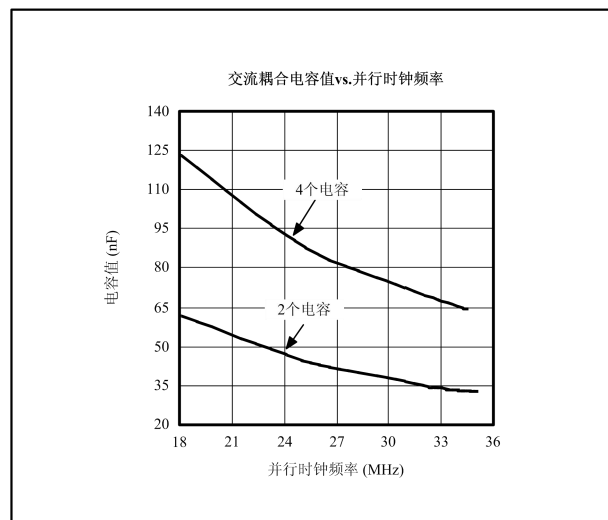


图 12. 交流耦合电容值 vs. 18MHz~35MHz 的时钟频率

2.2 端口和输入偏置

IN+和 IN-的 LVDS 输入端内部通过 50kΩ电阻接到+1.2V 电压用以提供交流耦合偏置（图 1）。假设互连线特征阻抗是 100 欧姆，LVDS 的正负输入端可以跨接一个 100Ω的电阻来匹配互连线的差分阻抗。

在噪声环境下，交流耦合的偏置电压 1.2V 可以使用戴维南终端匹配技术来实现。对于差分阻抗是 100 欧姆的互连线，在解串器的输入端接一个对电源 130 欧姆的上拉电阻和对地 82 欧姆的电阻，如图 10 和图 11。这个终端既提供差分端口，又提供了共模偏置。戴维南终端的阻抗应是互连线差分阻抗的一半，且提供 1.2V 的偏置电压。

2.3 输入频率检测

频率检测电路检测 LVDS 的工作情况，当 LVDS 输入没有转换时，除 $\overline{\text{LOCK}}$ 外所有输出变低， $\overline{\text{LOCK}}$ 是高电平，且 PCLK_OUT 跟随 REFCLK。如果串化器不能驱动互连线或互连线开路就会发生这种情况。

2.4 频率范围设置 (RNG[1:0])

RNG[1:0]输入选择 MS9218 的工作频率范围和输出转换时间。选择频率范围包含了 MS9217 串化器的 PCLK_IN 的频率。表 3 显示了可选择的频率范围，相对应的数据率和输出转换时间。

表 3. 频率范围规划

RNG1	RNG0	并行时钟 (MHz)	串行数据率 (Mbps)	输出转换时间
0	0	3-7	60-140	慢
0	1			
1	0	7-15	140-300	快
1	1	15-35	300-700	

2.5 掉电

$\overline{\text{PWRDWN}}$ 低电平期间，输出为高阻态且 PLL 停止。当 $\overline{\text{PWRDWN}} \leq 0.3\text{V}$ 且所有

LVTTL/LVCMOS 输入 $\leq 0.3\text{V}$ 或 $\geq V_{\text{CC}} - 0.3\text{V}$ ，供电电流就会低于 50μA。 $\overline{\text{PWRDWN}}$ 高电平，开始锁

定到本地参考时钟（REFCLK），然后解串串行输入。

2.6 锁定和失锁（ $\overline{\text{LOCK}}$ ）

当 $\overline{\text{PWRDWN}}$ 变高电平，PLL 开始锁定到 REFCLK，使 $\overline{\text{LOCK}}$ 从高阻态进入高电平，且除 PCLK_OUT 外所有输出从高阻态进入低电平。当 PLL 锁定在 REFCLK 时，PCLK_OUT 输出为 REFCLK。锁定到 REFCLK 最长需要 16385 个 REFCLK 时钟周期。当时钟锁定完成后，开始检测串行输入中的转换字。当检测到转换字后， $\overline{\text{LOCK}}$ 变低指示有效输出数据，PCLK_OUT 输出恢复时钟。PCLK_OUT 在从 REFCLK 转变到恢复时钟过程中出现时钟拉伸（反之亦然）。

若在 PCLK_OUT 的 2^{20} 个周期内没有检测到一个转换字， $\overline{\text{LOCK}}$ 就会变高，且除 PCLK_OUT 外所有输出变低。PCLK_OUT 输出 REFCLK 时钟，且解串器继续检测串行输入中的转换字。详见图 7 同步时序。

2.7 输出使能（OUTEN）和总线输出

两个 MS9128 的输出可以通过一个 2:1 选择器做成总线。关闭一个解串器（OUTEN 变低）后等待 30ns 后开启另一个（OUTEN 变高），避免总线输出上的冲突。OUTEN 控制输出输出。

2.8 上升或下降输出锁存沿（ $\text{R}/\overline{\text{F}}$ ）

通过设置 $\text{R}/\overline{\text{F}}$ ，MS9218 可以选择上升或下降输出锁存沿。 $\text{R}/\overline{\text{F}}$ 设置为高电平，选择上升输出锁存沿，在 PCLK_OUT 的上升沿将并行数据锁存到下一芯片。 $\text{R}/\overline{\text{F}}$ 设置为低电平，选择下降输出锁存沿，在 PCLK_OUT 的下降沿将并行数据锁存到下一芯片。MS9218 的输出锁存沿极性不需要和 MS9217 串化器的输入锁存沿极性匹配。选择锁存沿极性只需设置 MS9218。

2.9 转换时间调节的输出

RGB_OUT[17:0] 每 6 个组成一组，共 3 组。在视频相位期间，每一组变换分别需要 1ns 以降低 EMI 和接地跳动。在控制相位期间，CNTL_OUT[8:0] 变换。在 3MHz-7MHz 和 7MHz-15MHz 范围内输出转换时间慢，在 15MHz-35MHz 范围内，输出转换时间快。

2.10 数据使能输出（DE_OUT）

MS9218 在不同的时间解串视频和控制数据。在视频消隐期间，对控制数据解串。DE_OUT 高电平，表示在解串视频数据且在 RGB_OUT[17:0] 上输出。DE_OUT 低电平，则表示在解串控制数据且在 CNTL_OUT[8:0] 上输出。当输出不再更新，最后接收到的数据锁存在输出端。图 13 显示了 DE_OUT 的时序。

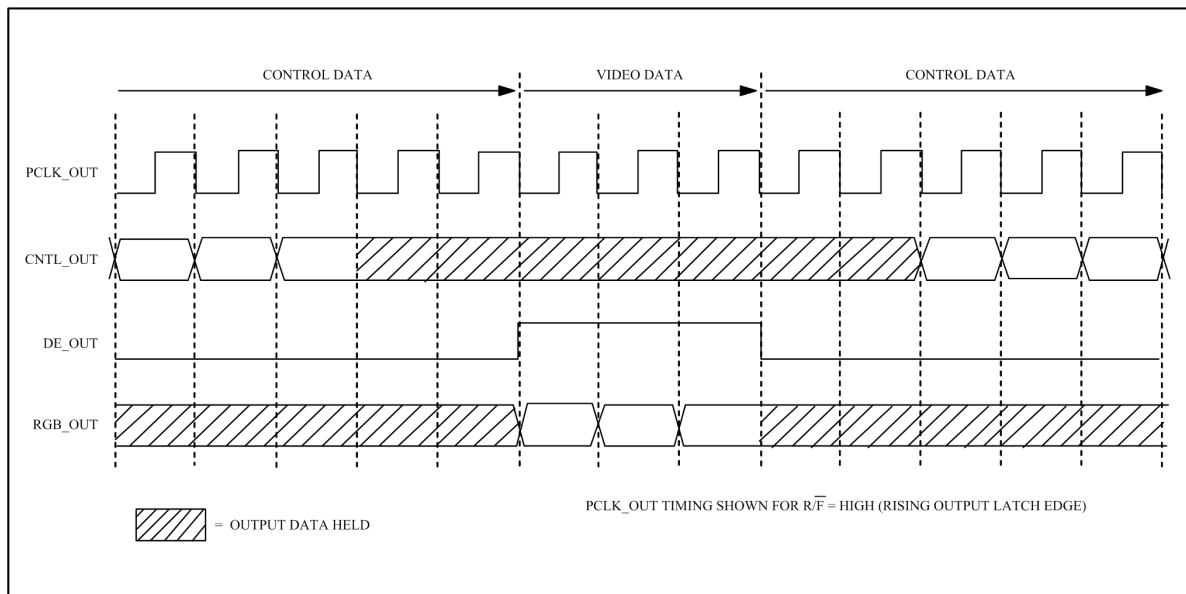


图 13. 输出时序

2.11 供电电流和旁路

在芯片上有分离的电源用于数字电路和 LVTTTL/LVCMOS 输入 (V_{CC} 供电和 GND)，输出 (V_{CCO} 供电和 V_{CCO} GND)，PLL (V_{CCPLL} 供电和 V_{CCPLL} GND)，和 LVDS 输入 (V_{CCLVDS} 供电和 V_{CCLVDS} GND)。所有地通过二极管连接进行隔离。对每个 V_{CC} ， V_{CCO} ， V_{CCPLL} 和 V_{CCLVDS} 管脚用 0.1 μ F 和 0.001 μ F 的高频陶瓷贴片电容并联且尽可能近的放置在芯片电源管脚处来旁路电源噪声（小电容应离电源管脚更近）。输出由 V_{CCO} 供电，可以接受 1.71V 到 3.6V 的供电电压，直接驱动 1.8V-3.3V 的逻辑输入端口。

2.12 电缆线和连接头

LVDS 接口芯片互联时，LVDS 端口在典型情况下有 100 欧姆的差分阻抗，使用电缆和连接器时注意阻抗匹配，减小阻抗的失配。与带状电缆相比，双绞线和屏蔽双绞线提供更高质量的信号，而且可以减小电磁干扰。采用平衡电缆连接时，LVDS 接收器抑制共模噪声。

2.13 电路板

LVTTTL/CMOS 输出和 LVDS 输入分离以减小串扰。推荐使用四层 PCB，且电源线，地线和信号线分别走不同的 PCB 层。

2.14 ESD 保护

MS9218 能容忍 ISO 10605 接触放电 ± 10 kV 的标准，能容忍空气放电 ± 30 kV。

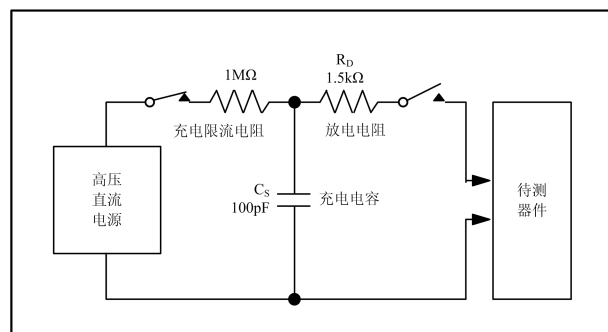


图 14. 人体模式 ESD 测试电路

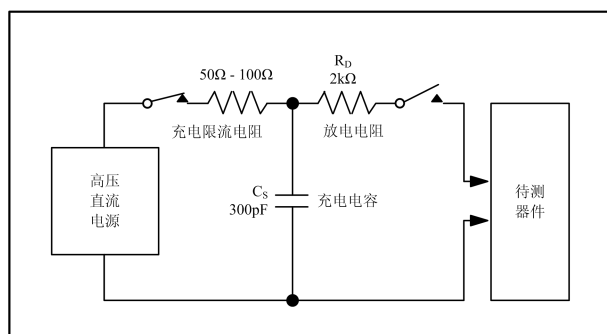


图 15. ISO 10605 接触放电 ESD 测试电路

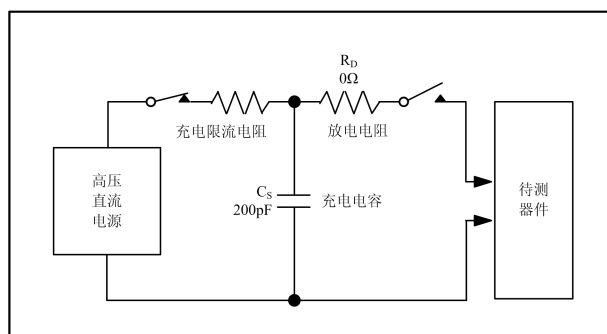
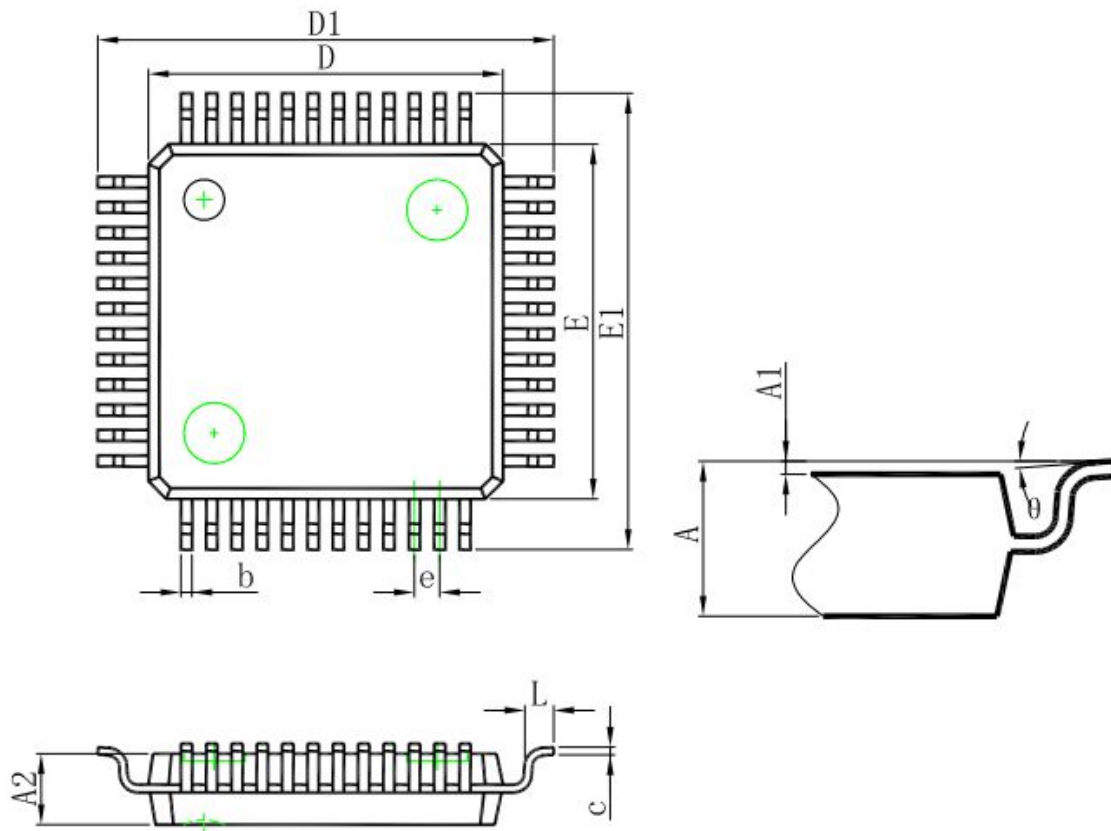


图 16. 机械模式 ESD 测试电路

封装外形图

LQFP48

UNIT: mm



Symbol	Dimensions In Millimeters		Dimensions In Inches	
	Min	Max	Min	Max
A		1.600		0.063
A1	0.050	0.150	0.002	0.006
A2	1.350	1.450	0.053	0.057
b	0.190	0.260	0.007	0.010
c	0.090	0.200	0.004	0.008
D	6.900	7.100	0.272	0.280
D1	8.850	9.150	0.348	0.360
E	6.900	7.100	0.272	0.280
E1	8.850	9.150	0.348	0.360
e	0.500 (BSC)		0.020 (BSC)	
L	0.450	0.750	0.018	0.030
θ	1°	7°	1°	7°

