

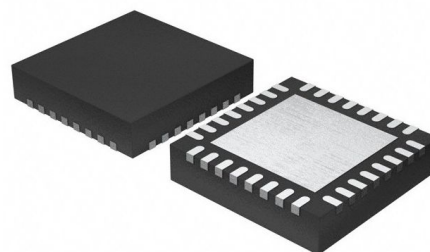
非接触式读卡器 IC

描述

MS512 是一款应用于 13.56MHz 非接触式通信中的高集成度读写卡芯片。它利用了先进的调制和解调技术，完全集成了在 13.56MHz 下的各种非接触式通信方式和协议。

主要特点

- 高度集成的解调和解码模拟电路
- 采用少量外部器件，即可将输出驱动级接至天线
- 支持 ISO/IEC 14443A
- 支持 ISO/IEC 14443B 读写器
- 读写器模式下，工作距离一般小于等于 50mm，具体取决于天线的大小和调制
- 在 NFCIP-1 模式下，工作距离一般小于等于 50mm，具体取决于天线的大小、调制和电源
- 在 ISO 14443A 和 FeliCa 卡工作模式下，工作距离一般为 100mm 左右，具体取决于天线的大小、调制和外部电场强度
- S²C 接口
- 支持主机接口
 - ◆ 10Mbit/s 的 SPI 接口
 - ◆ I²C 接口，快速模式的速率为 400kBd，高速模式的速率为 3400kBd
 - ◆ 高达 1228.8kBd 的 RS232 串行 UART，其电平取决于所提供的管脚电压
 - ◆ 带地址锁存使能的 8 位并行接口和不带地址锁存使能的 8 位并行接口
- 64 字节的发送和接收 FIFO 缓冲器
- 灵活的中断模式
- 低功耗的硬件复位
- 软件掉电模式
- 可编程定时器
- 内部振荡器，连接 27.12MHz 的晶体
- 2.5V-3.6V 的电源电压
- CRC 协处理器
- 可编程的 I/O 管脚
- 内部自检



应用

- 智能“三表”
- 公共交通终端
- 便携式手持设备
- 非接触式公用电话

产品规格

产 品	封 装 形 式	打印名称
MS512	QFN32	MS512
MS512	QFN40	MS512F

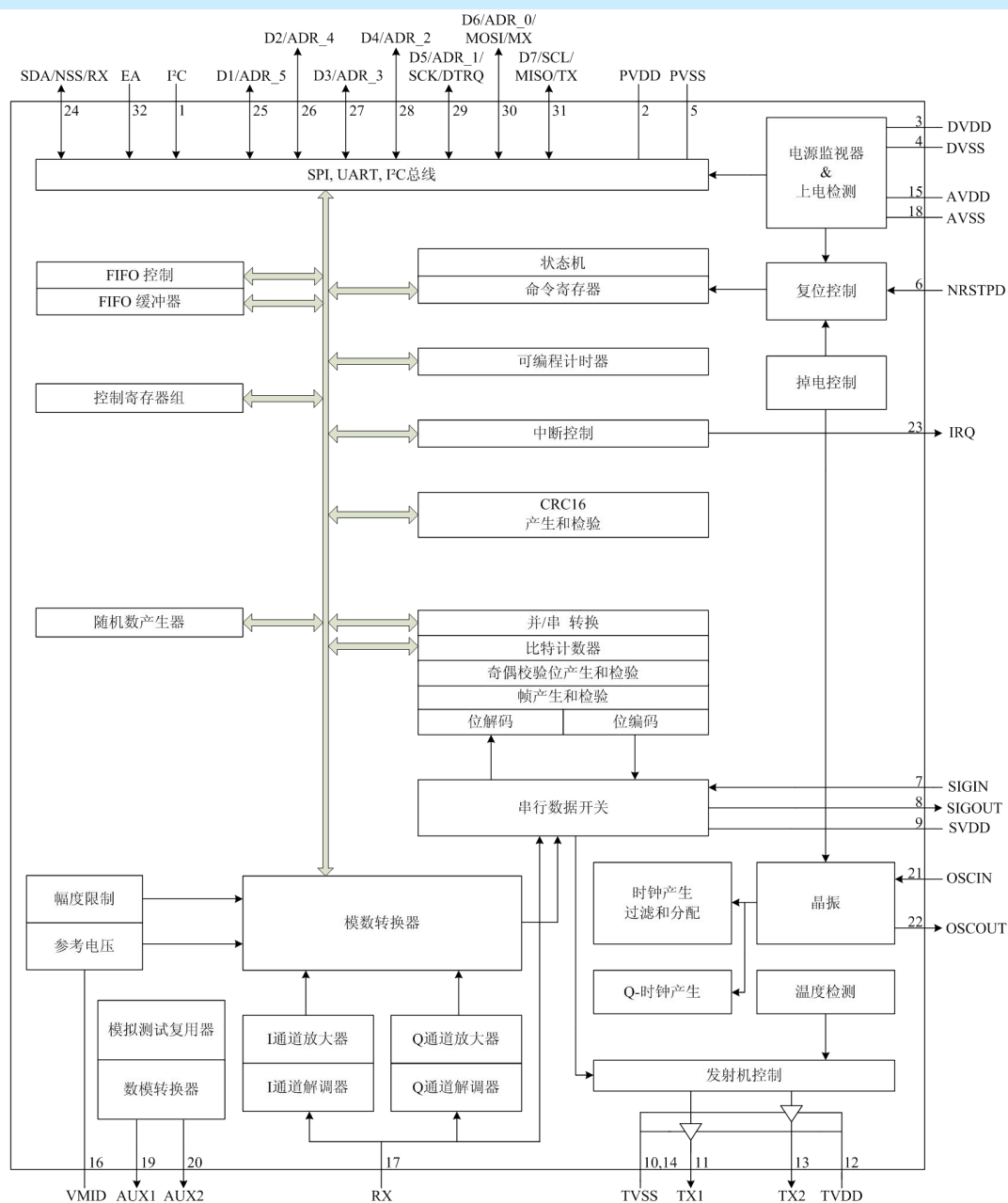
内部框图


图1. MS512内部框图

快速参考数据

表 1. 快速参考数据

符号	参数	条件	最小值	典型值	最大值	单位
V_{DDA}	模拟电源	$V_{DD(PVDD)} \leq V_{DDA} = V_{DDD} = V_{DD(TVDD)}$; [1][2]	2.5	3.3	3.6	V
V_{DDD}	数字电源	$V_{SSA} = V_{SSD} = V_{SS(PVSS)} = V_{SS(TVSS)} = 0V$ [3]	2.5	3.3	3.6	V
$V_{DD(TVDD)}$	TVDD 电源		2.5	3.3	3.6	V
$V_{DD(PVDD)}$	PVDD 电源		1.6	1.8	3.6	V
$V_{DD(SVDD)}$	SVDD 电源	$V_{SSA} = V_{SSD} = V_{SS(PVSS)} = V_{SS(TVSS)} = 0V$	1.6	-	3.6	V
I_{PD}	静态电流	$V_{DDA} = V_{DDD} = V_{DD(TVDD)} = V_{DD(PVDD)} = 3V$				
		硬件掉电; NRSTPD 脚置为低 [4]	-	-	5	μA
		软件掉电; RF 电平检测器开启 [4]	-	-	10	μA
I_{DDD}	数字电源电流	管脚 DVDD; $V_{DDD} = 3V$	-	6.5	9	mA
I_{DDA}	模拟电源电流	管脚 AVDD; $V_{DDA} = 3V$, CommandReg 寄存器 RcvOff 位为 0	-	7	10	mA
		管脚 AVDD; 关闭接收器; $V_{DDA} = 3V$, CommandReg 寄存器 RcvOff 位为 1	-	3	5	mA
$I_{DD(PVDD)}$	PVDD 电源 电流	管脚 PVDD [5]	-	-	40	mA
$I_{DD(TVDD)}$	TVDD 电源 电流	管脚 TVDD; 连续波 [6][7][8]	-	60	100	mA
T_{amb}	环境温度	QFN32	-40	-	+100	$^{\circ}C$

[1] 电源电压在 3V 以下会降低器件的性能, 例如, 可实现的通讯距离。

[2] V_{DDA} , V_{DDD} 和 $V_{DD(TVDD)}$ 必须是相同电压。

[3] $V_{DD(PVDD)}$ 电压必须和 V_{DDD} 相同或更低。

[4] I_{pd} 是所有电源的总电流。

[5] $I_{DD(PVDD)}$ 取决于数字引脚的总负荷。

[6] $I_{DD(TVDD)}$ 取决于 $V_{DD(TVDD)}$ 和外部电路相连的引脚 TX1 和 TX2。

[7] 一般在电路的操作期间, 总电流低于 100 mA。

[8] 该典型值是在 13.56MHz 和引脚 TX1、TX2 之间使用互补驱动配置和一个 40 Ω 的天线匹配电阻。

简化框图

模拟通信接口根据卡接收模式、读写器模式和 NFCIP-1 模式通信机制来处理模拟信号的调制与解调。

RF 检测器用于检测是否存在由天线发射到 RX 管脚的外部 RF 场。

数据格式检测器用于检测 FeliCa 或 NFCIP-1 模式，以便为发送到 MS512 的解调信号准备好内部接收器。

通信 (S²C) 接口提供了几个数字信号用于支持传输速率高于 424 kbit/s 的通信；此外还提供了几个与安全智能卡 IC 进行通信的数字信号。

非接触式 UART 用来处理与主机通信时的协议要求。FIFO 缓冲器快速而方便地实现了主机和非接触式 UART 之间的数据传输。

不同的主机接口功能可满足不同用户的要求。

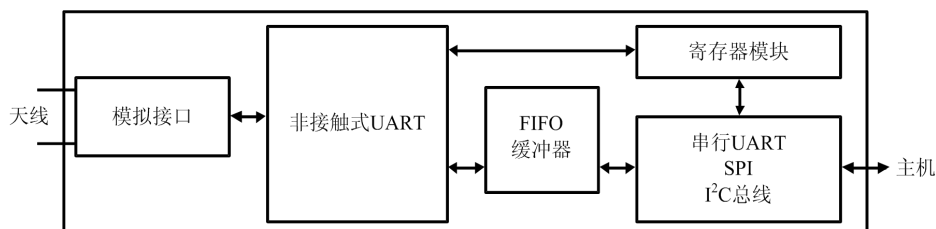


图 2.简化的 MS512 框图

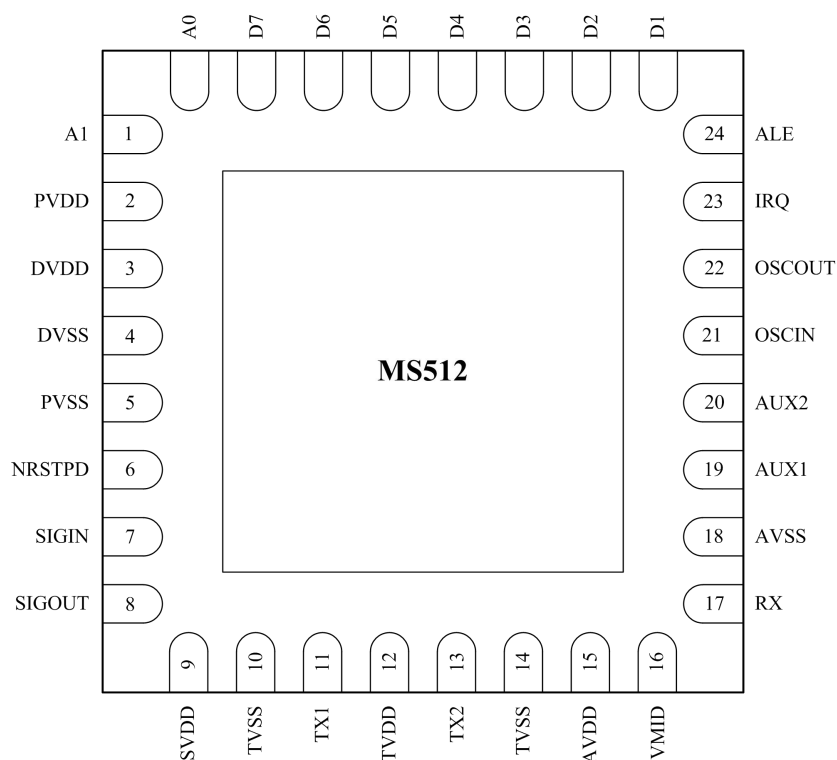
管脚描述-QFN32


图 3. QFN32 封装

管脚描述

表 2. 管脚描述

管脚号	管脚名	类型	管脚描述
1	A1	I	地址线
2	PVDD	P	管脚电源
3	DVDD	P	数字电源
4	DVSS	G	数字地
5	PVSS	G	管脚电源地
6	NRSTPD	I	不复位和掉电：为低电平时，内部功能模块包括振荡器均停止工作，输入管脚与外部断开。该管脚上的上升沿可用来开启内部复位相位。
7	SIGIN	I	通信接口输入：接收数字数据流、串行数据流
8	SIGOUT	O	通信接口输出：输出串行数据流
9	SVDD	P	S ² C 管脚电源：向 S ² C 管脚供电
10	TVSS	G	发送器 TX1 和 TX2 输出级的地
11	TX1	O	发送器 1 输出调制的 13.56MHz 的能量载波信号
12	TVDD	P	发送器电源：给 TX1 和 TX2 的输出级供电
13	TX2	O	发送器 2 输出调制的 13.56MHz 的能量载波信号
14	TVSS	G	发送器 TX1 和 TX2 输出级的地

15	AVDD	P	模拟电源
16	VMID	P	内部参考电压
17	RX	I	RF 信号输入
18	AVSS	G	模拟地
19	AUX1	O	用于测试的辅助输出
20	AUX2	O	用于测试的辅助输出
21	OSCIN	I	晶振反相放大器输入；也是外部时钟的输入。该管脚还可用作外部时钟（ $f_{osc}=27.12\text{ MHz}$ ）的输入
22	OSCOU	O	晶振反相放大器输出
23	IRQ	O	中断请求输出：指示一个中断事件
24	ALE	I	地址锁存使能：高电平时将 AD0~AD5 锁存到内部地址锁存
25-31	D1-D7	I/O	8 位双向数据总线 注：不支持 8 位并行接口 注：如果主控制器选择 I ² C 作为数字主控制器接口，那么这些管脚可以用来定义 I ² C 地址 注：对于串行接口，这些管脚可以用作测试信号或 I/O
32	A0	I	地址线

管脚描述-QFN40

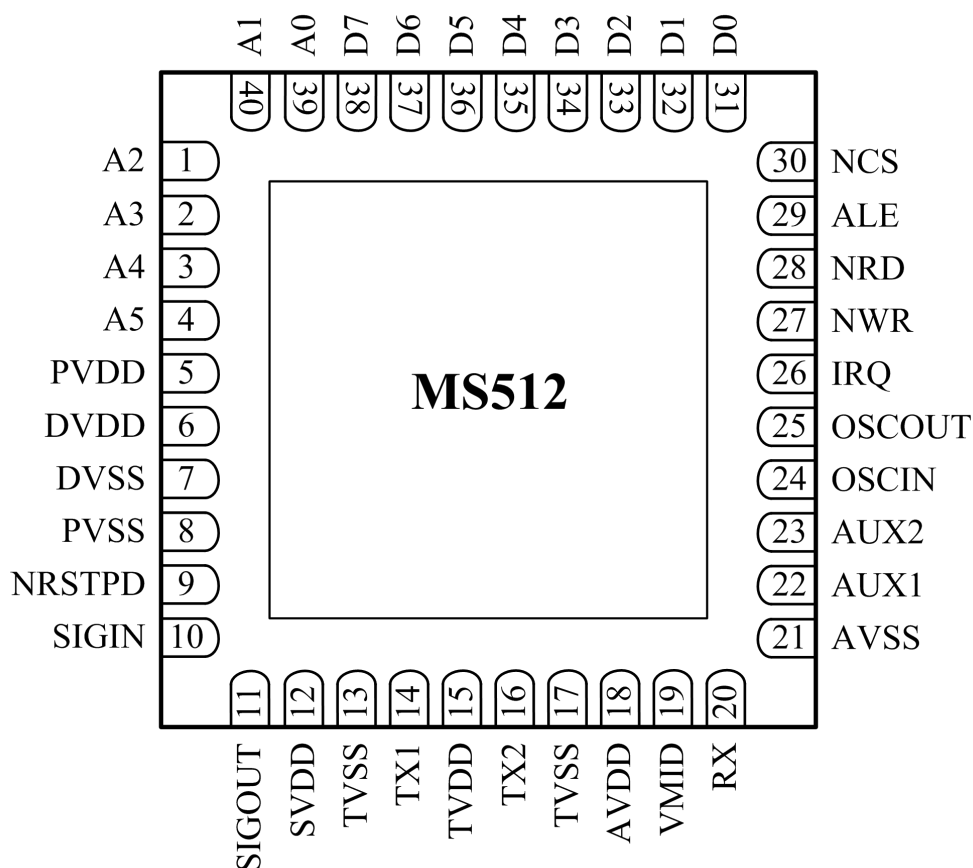


图 4. QFN40 封装

管脚描述

表 3. 管脚描述

管脚号	管脚名	类型	管脚描述
1-4	A2-A5	I	地址线
5	PVDD	P	管脚电源
6	DVDD	P	数字电源
7	DVSS	G	数字地
8	PVSS	G	管脚电源地
9	NRSTPD	I	不复位和掉电：为低电平时，内部功能模块包括振荡器均停止工作，输入管脚与外部断开。该管脚上的上升沿可用来开启内部复位相位。
10	SIGIN	I	通信接口输入：接收数字数据流、串行数据流
11	SIGOUT	O	通信接口输出：输出串行数据流
12	SVDD	P	S ² C 管脚电源：向 S ² C 管脚供电
13	TVSS	G	发送器 TX1 和 TX2 输出级的地

14	TX1	O	发送器 1 输出调制的 13.56MHz 的能量载波信号
15	TVDD	P	发送器电源：给 TX1 和 TX2 的输出级供电
16	TX2	O	发送器 2 输出调制的 13.56MHz 的能量载波信号
17	TVSS	G	发送器 TX1 和 TX2 输出级的地
18	AVDD	P	模拟电源
19	VMID	P	内部参考电压
20	RX	I	RF 信号输入
21	AVSS	G	模拟地
22	AUX1	O	用于测试的辅助输出
23	AUX2	O	用于测试的辅助输出
24	OSCIN	I	晶振反相放大器输入；也是外部时钟的输入。该管脚还可用作外部时钟（ $f_{osc}=27.12\text{ MHz}$ ）的输入
25	OSCOU T	O	晶振反相放大器输出
26	IRQ	O	中断请求输出：指示一个中断事件
27	NWR	I	不写：写数据到 MS512 寄存器的选通管脚
28	NRD	I	不读：读取 MS512 寄存器的选通管脚（适用于 D0~D7）
29	ALE	I	地址锁存使能：高电平时将 AD0~AD5 锁存到内部地址锁存
30	NCS	I	不片选：选择和激活 MS512 的主控器接口
31-38	D1-D7	I/O	8 位双向数据总线 注：如果主控制器选择 I ² C 作为数字主控制器接口，那么这些管脚可以用来定义 I ² C 地址 注：对于串行接口，这些管脚可以用作测试信号或 I/O
39-40	A0-A1	I	地址线

功能描述

MS512 发送模块支持具有多种传输速率和调制方法的 ISO/IEC 14443 A 和 ISO/IEC 14443 B 的读写器模式。

MS512 支持以下几种工作模式：

- 支持 ISO/IEC 14443A、ISO/IEC 14443B 和 FeliCa 的读写器模式
- 支持 ISO/IEC 14443A 和 FeliCa 的卡操作模式
- NFCIP-1 模式

这些模式支持不同的传输速率和调制方法，以下章节将详细介绍这几种不同的模式。

注：本章提到的所有调制系数和调制模式都是系统参数。这表示除 IC 设置之外，要得到最优的性能还需要进行适当的天线调谐。

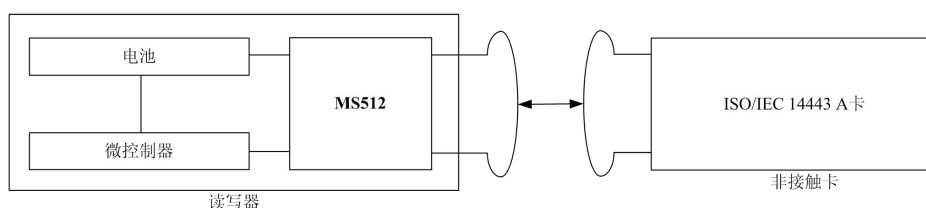


图 5. MS512 读写模式

1.1 ISO/IEC 14443 A 功能

具体通信如图 6 所示。

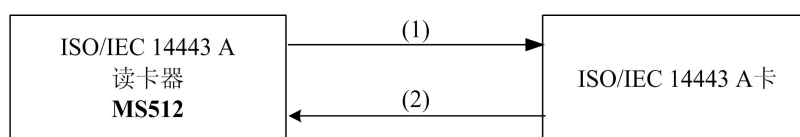


图 6. ISO/IEC 14443 A 读写模式的通信框图

具体参数见表 4。

表 4. ISO/IEC 14443 A 读写器通信概述

通信方向	信号类别	传输速率			
		106kBd	212kBd	424kBd	848kBd
读卡器到卡 (MS512 发送数据到卡)	调制	100%ASK	100%ASK	100%ASK	100%ASK
	位编码	修正米勒编码	修正米勒编码	修正米勒编码	修正米勒编码
	位长	128(13.56μs)	64(13.56μs)	32(13.56μs)	16(13.56μs)
卡到读卡器 (MS512 从卡接收数据)	调制	副载波负载调制	副载波负载调制	副载波负载调制	副载波负载调制
	副载波频率	13.56MHz/16	13.56MHz/16	13.56MHz/16	13.56MHz/16
	位编码方式	Manchester 编码	BPSK	BPSK	BPSK

MS512 的非接触 UART 和外部控制器之间的通信采用 ISO/IEC 14443 A 协议。图 7 显示了基于 ISO/IEC 14443 A 的编码图。

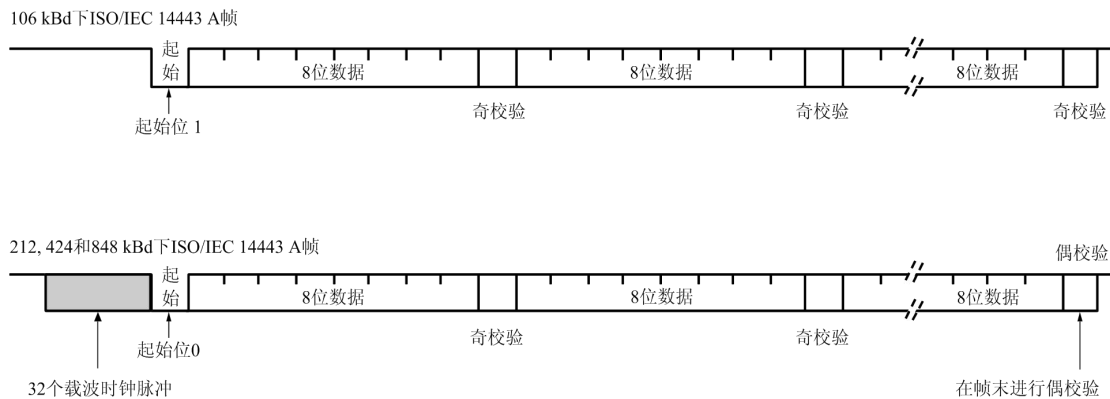


图 7. 基于 ISO/IEC 14443 A 协议的编码图

内部 CRC 协处理器根据 ISO/IEC 14443A part3 给出的定义来计算 CRC 值，并根据传输速率产生一个相应的奇偶校验位。可使用 ManualRCVReg 寄存器的 ParityDisable 位关闭奇偶校验位产生。

1.2 ISO/IEC 14443 B 功能

MS512 读卡器 IC 完全支持 ISO 14443 标准包含的 ISO 14443A 和 ISO 14443B。

作为参考说明，可以采用国际标准 ISO 14443 “身份识别卡-非接触式 IC 卡-非接触式卡，第一到第四部分”。

1.3 FeliCa 读写器功能

FeliCa 模式是根据 FeliCa 规范进行通信的普通读写器。下图描述了物理层上的通信过程，通信表列出了物理参数。

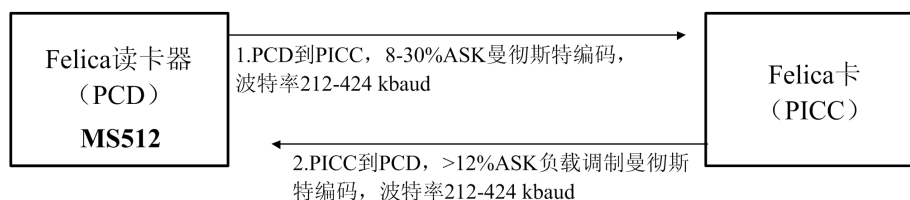


图 8. FeliCa 读/写通信原理图

表 5. FeliCa 读写器通信概述

通信方向		FeliCa	FeliCa 高传输速率
	传输速率	212kbit/s	424kbit/s
MS512→卡	读卡器端调制	8%-30%ASK	8%-30%ASK
	位编码	曼彻斯特编码	曼彻斯特编码
	位长	(64/13.56) μs	(64/13.56) μs
卡→MS512	卡片端负载调制	>12%ASK	>12%ASK
	位编码	曼彻斯特编码	曼彻斯特编码

要处理完整的 FeliCa 协议，需要 MS512 的非接触式 UART 和专门的外部主控器。

1.3.1 FeliCa 帧结构和编码

表 6. FeliCa 帧结构和编码

前同步码						Sync		Len	n-Data				CRC	
00h	00h	00h	00h	00h	00h	B2h	4Dh							

在进行 FeliCa 通信时，必须先发送 6 字节前同步码（00h, 00h, 00h, 00h, 00h, 00h）和 2 个字节同步码（B2h, 4Dh），以便与接收器同步。

接着发送 Len 字节，它表示被发送数据的长度加上 LEN 字节本身。

CRC 计算根据 FeliCa 定义来进行，先计算 MSB。

在通过 RF 接口发送数据时，主控器必须发送 Len-和 data-字节到 MS512 的 FIFO 缓冲器。MS512 会自动生成前同步码和 sync 字节，但主控器不必将它们写入 FIFO。MS512 在内部执行 CRC 算法，并将结果添入到数据帧。

FeliCa CRC 计算示例：

表 7. CRC 多项式初始值：（00h），（00h）

前同步码						Sync		Len	数据字节		CRC	
00h	00h	00h	00h	00h	00h	B2h	4Dh	03h	ABh	CDh	90h	35h

1.4 NFCIP-1 模式

NFCIP-1 通信在主动式通信与被动式通信之间有以下差异。

- 主动式通信是指主设备与目标设备都使用它们自己的射频场来发送数据。
- 被动式通信是指目标设备采用负载调制的方法对主设备命令进行应答。主设备在产生射频场器件是激活的。
- 主设备：产生 13.56MHz 的射频场并发起 NFCIP-1 通信
- 目标设备：采用被动式通信模式中的负载调制方法或使用主动式通信模式中自己生成和调制的射频场来对主设备的命令作出响应

MS512 完全支持 NFCIP-1 标准的主动式和被动式通信模式，传输速率为 NFCIP-1 标准所定义的 106kbit/s、212kbit/s 和 424kbit/s。

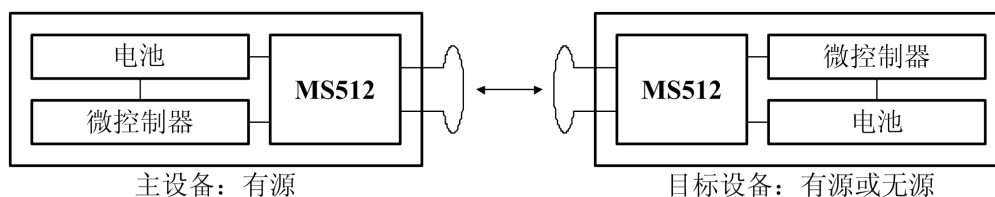


图 9. NFCIP-1 模式

1.4.1 主动式通信模式

主动式通信模式是指主设备和目标设备都使用自己的射频场来发送数据。

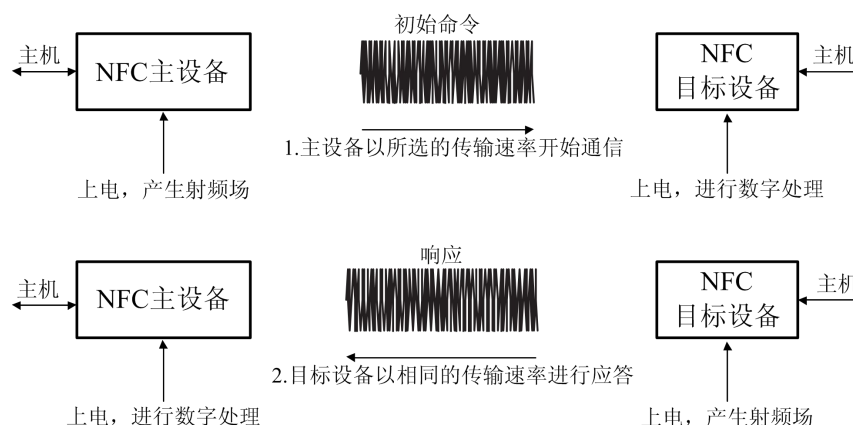


图 10. 主动式通信模式
表 8. 主动式通信模式通信概述

通信方向	106kbit/s	212kbit/s	424kbit/s	848kbit/s	1.69Mbit/s 3.39Mbit/s
主设备→目标设备	依照 ISO 14443A 100% ASK，变形 密勒编码	依照 FeliCa，8-30% ASK 曼彻斯特编码			处理该通信的数字功能
目标设备→主设备					

要处理 NFCIP-1 协议，需要 MS512 的非接触式 UART 和专门的主控制器。

注：NFCI-1 标准没有定义大于 424kbit/s 的传输速率。MS512 仅需专门的外部电路就可支持这些传输速率。

1.4.2 被动式通信模式

被动式通信模式是指目标设备采用负载调制方式对主设备命令进行应答。主设备是有源的，即产生射频场。

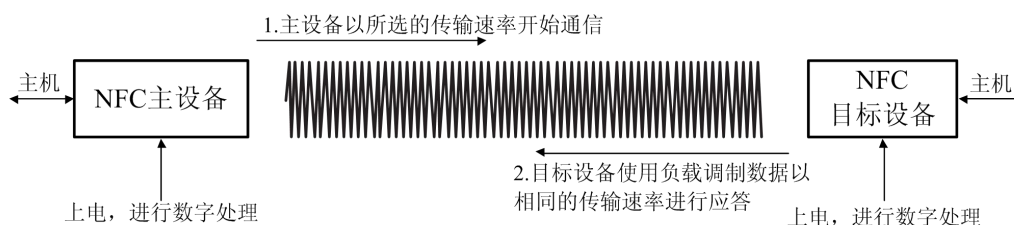


图 11. 被动式通信模式
表 9. 被动式通信模式通信概述

通信方向	106kbit/s	212kbit/s	424kbit/s	848kbit/s	1.69Mbit/s 3.39Mbit/s
主设备→目标设备	依照 ISO 14443A 100% ASK，变形 密勒编码	依照 FeliCa，8-30% ASK 曼彻斯特编码			处理该通信的数字功能
目标设备→主设备					

要处理 NFCIP-1 协议，需要 MS512 的非接触式 UART 和专门的主控制器。

注：NFCIP-1 标准没有定义大于 424kbit/s 的传输速率。MS512 仅需专门的外部电路就可支持这些传输速率。

1.4.3 NFCIP-1 帧结构和编码

主动式通信和被动式通信中 NFCIP-1 的帧结构和编码是依照 NFCIP-1 标准定义的。

表 10. 帧结构和编码概述

传输速率	帧结构和编码
106kbit/s	依照 ISO/IEC 14443A 模式
212kbit/s	依照 FeliCa 模式
424kbit/s	依照 FeliCa 模式

1.4.4 NFCIP-1 协议支持

本文档并没有完全介绍 NFCIP-1 协议。要详细了解该协议，请参考 NFCIP-1 标准。但是数据链路层依照以下方针：

- 当处理事务时连续数据交换，此时速率不应改变。
- 事务处理包括初始化和防碰撞方法以及数据交换（采用连续方式，表示不被另外的事务中断）。

为了不扰乱当前的基础结构，基于启动 NFCIP-1 通信的 13.56 MHz 通用规则定义如下。

1. 每个默认 NFCIP-1 设备均为目标设备，表示其 RF 场关闭
2. RF 检测器激活
3. 只在应用需要 NFCIP-1 设备时才切换到主设备模式
4. 如果在 TIDT 时间过程中 RF 检测器没有检测到外部 RF 场，那么主设备应该只打开它的 RF 场。
5. 主设备根据所选模式来进行初始化

1.4.5 ISO/IEC 14443A 卡工作模式

表 11. ISO/IEC 14443A 卡工作模式

通信方向		ISO/IEC 14443A	高传输速率	
	传输速率	106kbit/s	212kbit/s	424kbit/s
读写器→MS512	读卡器端调制	100% ASK	100% ASK	100% ASK
	位编码	变形密勒	变形密勒	变形密勒
	位长	(128/13.56) μ s	(64/13.56) μ s	(32/13.56) μ s
MS512→读写器	MS512 端调制	载波负载调制	载波负载调制	载波负载调制
	载波频率	13.56 MHz/16	13.56 MHz/16	13.56 MHz/16
	位编码	曼彻斯特编码	BPSK	BPSK

1.4.6 FeliCa 卡工作模式

表 12. FeliCa 卡工作模式

通信方向		FeliCa	FeliCa 高传输速率
	传输速率	212kbit/s	424kbit/s
读写器→MS512	读卡器端调制	8-30% ASK	8-30% ASK
	位编码	曼彻斯特编码	曼彻斯特编码
	位长	(64/13.56) μ s	(32/13.56) μ s
MS512→读写器	MS512 端负载调制	>12% ASK 负载	>12% ASK 负载
	位编码	曼彻斯特编码	曼彻斯特编码

2.1 数字接口

2.1.1 自动检测微控制器接口类型

MS512 支持可直接相连的各种微控制器接口类型，如 SPI、I²C 和串行 UART。MS512 可复位其接口，并可对执行了上电或硬复位的当前微控制器接口的类型进行自动检测。MS512 通过复位阶段后控制管脚上的逻辑电平来识别微控制器接口。每种接口有固定管脚的连接组合。表 13 列出了不同的连接配置：

表 13. 检测不同接口类型的连接方法

管脚	并行接口类型				串行接口类型		
	分离的读/写选通		共用的读/写选通		UART	SPI	I ² C
	分离的地址总线	复用的地址总线	分离的地址总线	复用的地址总线			
ALE	1	ALE	1	AS	RX	NSS	SDA
A5 ^[1]	A5	0	A5	0	0	0	0
A4 ^[1]	A4	0	A4	0	0	0	0
A3 ^[1]	A3	0	A3	0	0	0	0
A2 ^[1]	A2	1	A2	1	0	0	0
A1	A1	1	A1	1	0	0	1
A0	A0	1	A0	0	0	1	EA
NRD ^[1]	NRD	NRD	NDS	NDS	1	1	1
NWR ^[1]	NWR	NWR	RD/NWR	RD/NWR	1	1	1
NCS ^[1]	NCS	NCS	NCS	NCS	-	-	-
D7	D7	D7	D7	D7	TX	MISO	SCL
D6	D6	D6	D6	D6	MX	MOSI	ADR_0
D5	D5	AD5	D5	AD5	DTRQ	SCK	ADR_1
D4	D4	AD4	D4	AD4	-	-	ADR_2
D3	D3	AD3	D3	AD3	-	-	ADR_3
D2	D2	AD2	D2	AD2	-	-	ADR_4
D1	D1	AD1	D1	AD1	-	-	ADR_5
D0	D0	AD0	D0	AD0	-	-	-

[1] 仅 QFN40 封装有效。

2.2 串行外设接口

支持串行外设接口（SPI 兼容）来使能到主机的高速通信。接口可处理高达 10Mbit/s 的数据速率。在与主机通信时，MS512 作为一个从机，从外设主机上接收数据来设置寄存器，发送和接收和 RF 接口通信有关的数据。

SPI 兼容的接口可在 MS512 和微控制器之间进行高速串行通信。该接口符合 SPI 标准。

时序规范见 5.1 节。

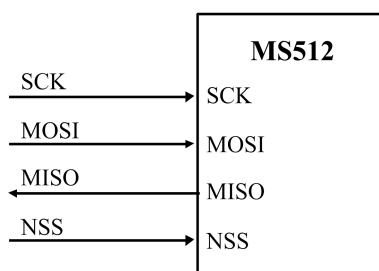


图 12. 使用 SPI 接口连接到主机

在 SPI 通信中 MS512 作为从机。SPI 时钟信号 SCK 必须由主机产生。数据通过 MOSI 线从主机传输到从机。通过 MISO 线数据从 MS512 发回到主机。

MOSI 和 MISO 传输每个字节时都是高位在前。MOSI 和 MISO 上的数据在时钟的上升沿保持不变，在时钟的下降沿改变。在时钟的下降沿，数据由 MS512 来提供，在时钟的上升沿数据保持不变。

2.2.1 SPI 读数据

使用表 14 所示的结构可将数据通过 SPI 接口读出。这样可以读出 n 个数据字节。

发送的第一个字节定义了模式和地址。

表 14. MOSI 和 MISO 字节顺序

线	字节 0	字节 1	字节 2	To	字节 n	字节 $n+1$
MOSI	地址 0	地址 1	地址 2	...	地址 n	00
MISO	$X^{[1]}$	数据 0	数据 1	...	数据 $n-1$	数据 n

[1] X =无关项

注：先发送最高位。

2.2.2 SPI 写数据

使用表 15 所示的结构可将数据通过 SPI 接口写入 MS512。这样对应一个地址可以写入 n 个数据字节。

发送的第一个字节定义了模式和地址。

表 15. MOSI 和 MISO 字节顺序

线	字节 0	字节 1	字节 2	To	字节 n	字节 $n+1$
MOSI	地址 0	数据 0	数据 1	...	数据 $n-1$	数据 n
MISO	$X^{[1]}$	$X^{[1]}$	$X^{[1]}$	...	$X^{[1]}$	$X^{[1]}$

[1] X =无关项

注：先发送最高位。

2.2.3 SPI 地址字节

地址字节必须按下面的格式传输。

第一个字节的 MSB 位定义了使用模式。MSB 位设置为 1 时，从 MS512 读取数据；MSB 位设置为 0 时，将数据写入 MS512。第一个字节的位 6-1 定义地址，LSB 位应当设置为 0。

表 16. 地址字节

7 (MSB)	6	5	4	3	2	1	0 (LSB)
1=读 0=写	地址						0

2.3 UART 接口

2.3.1 连接到主机

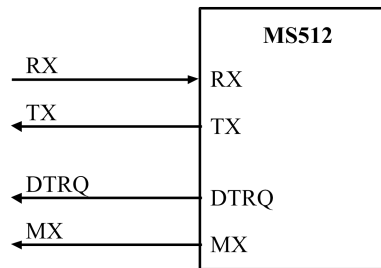


图 13. 使用 UART 接口连接到微控制器

注：通过对 TestPinEnReg 寄存器的 RS232LineEn 位清零，信号 DTRQ 和 MX 可以禁止。

2.3.2 可选的 UART 传输速率

内部 UART 接口兼容 RS232 串行接口。

默认的传输速率为 9.6kBd。要改变传输速率，主机控制器必须向 SerialSpeedReg 寄存器写入一个新的传输速率值。位 BR_T0[2:0]和位 BR_T1[4:0]定义的因数用来设置 SerialSpeedReg 中的传输速率。

BR_T0[2:0]和 BR_T1[4:0]的设置参考表 17。表 18 列举了一些传输速率和相应的寄存器设置。

表 17. BR_T0[2:0]和 BR_T1[4:0]的设置

BR_Tn	位 0	位 1	位 2	位 3	位 4	位 5	位 6	位 7
BR_T0 参数	1	1	2	4	8	16	32	64
BR_T0 范围	1-32	33-64	33-64	33-64	33-64	33-64	33-64	33-64

表 18. 可选的 UART 传输速率

传输速率 (kBd)	SerialSpeedReg 值		传输速率精度 (%) ^[1]
	十进制	十六进制	
7.2	250	FAh	-0.25
9.6	235	EBh	0.32
14.4	218	DAh	-0.25
19.2	203	CBh	0.32
38.4	171	ABh	0.32
57.6	154	9Ah	-0.25
115.2	122	7Ah	-0.25
128	116	74h	-0.06
230.4	90	5Ah	-0.25
460.8	58	3Ah	-0.25
921.6	28	1Ch	1.45
1228.8	21	15h	0.32

[1] 所有描述的传输速度中传输速度误差的结果都小于 1.5%

表 10 中所列的可选传输速率可根据下面的公式计算得到：

如果 BR_T0[2:0]=0:

$$\text{传输速率} = \frac{27.12 \times 10^6}{(BR_T0 + 1)}$$

如果 $BR_T0[2:0] > 0$:

$$\text{传输速率} = \left(\frac{27.12 \times 10^6}{\frac{(BR_T1 + 33)}{2^{(BR_T0 - 1)}}} \right)$$

注：不支持大于 1228.8kBd 的传输速率。

2.3.3 UART 帧格式

表 19. UART 帧格式

位	长度	值
起始位	1 位	0
数据位	8 位	数据
结束位	1 位	1

注：对于数据和地址字节，LSB 位必须最先发送。传输过程中不使用奇偶校验位。

读数据：使用表 12 中的结构，可使用 UART 接口将数据读出。发送的第一个字节定义了模式和地址。

表 20. 读数据字节顺序

管脚	字节 0	字节 1
RX (管脚 24)	地址	—
TX (管脚 31)	—	数据 0

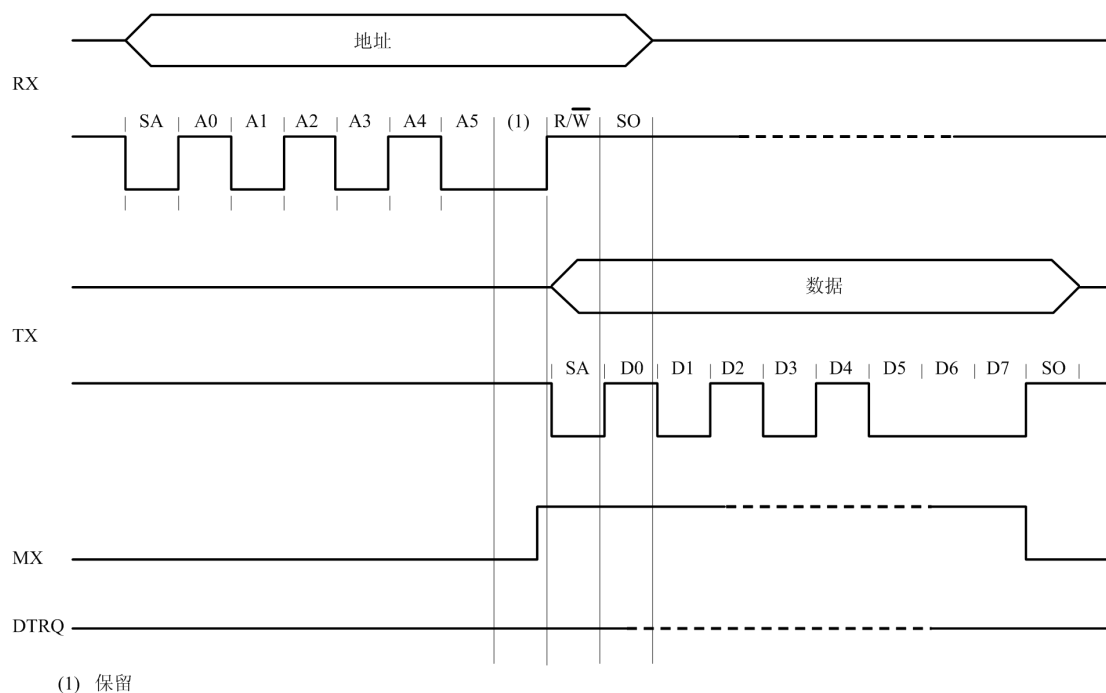


图 14. UART 读数据时序图

写数据：使用表 21 中的结构，可使用 UART 接口将数据写入 MS512。

发送的第一个字节定义了模式和地址。

表 21. 写数据字节顺序

管脚	字节 0	字节 1
RX (管脚 24)	地址 0	数据 0
TX (管脚 31)	-	地址 0

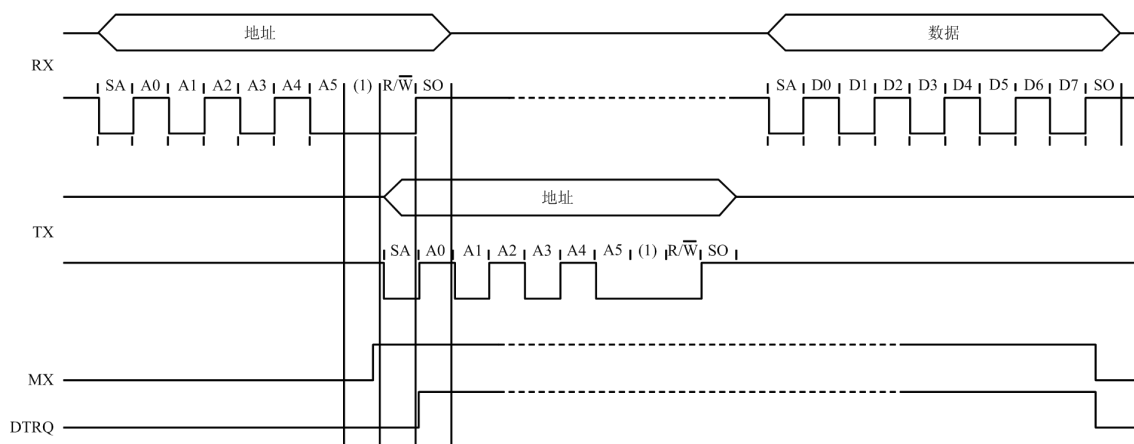


图 15. UART 写数据时序图

注：在地址字节到达 RX 管脚后，数据字节可以直接发送

地址字节：地址字节按下面的格式传输：

第一个字节的 MSB 位设置使用的模式。MSB 位设置为 1 时，从 MS512 读取数据。MSB 位设置为 0 时，将数据写入 MS512。第一个字节的位 6 保留为将来使用，位 5-1 定义地址；详见表 22。

表 22. 地址字节

7 (MSB)	6	5	4	3	2	1	0 (LSB)
1=读	保留	地址					
0=写							

2.4 I²C 总线接口

支持 I²C 总线接口可以使能到主机的低成本、少管脚数的串行总线接口。I²C 接口操作遵循 I²C 总线接口规范。该接口只能工作在从机模式。因此，MS512 不产生时钟，也不执行访问仲裁。

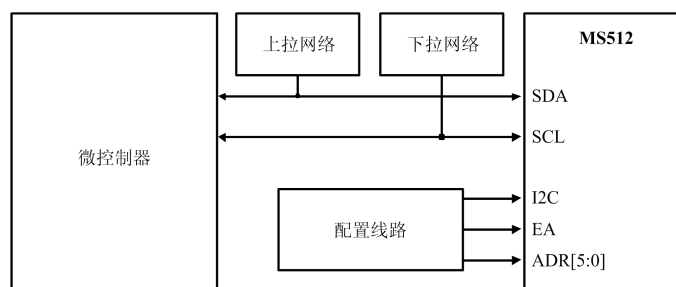


图 16. I²C 总线接口

在标准模式、快速模式和高速模式中，MS512 可用作从接收器或从发送器。

SDA 是一个双向数据线，通过一个电流源或上拉电阻连接到正电压。不传输数据时，SDA 和 SCL 均为高电平。MS512 有一个三态输出级来执行线与功能。标准模式下，I²C 总线的传输速率为 100kBd，快速模式下为 400kBd，高速模式下为 3.4Mbit/s。

如果选择 I²C 总线接口，管脚 SCL 和 SDA 管脚具有符合 I²C 接口规范的尖峰脉冲抑制功能。

相关时序参考表 164。

2.4.1 数据有效性

SDA 线上的数据在时钟周期的高电平期间保持不变。只有当 SCL 上的时钟信号为低电平时，数据线的高电平或低电平状态才能改变。

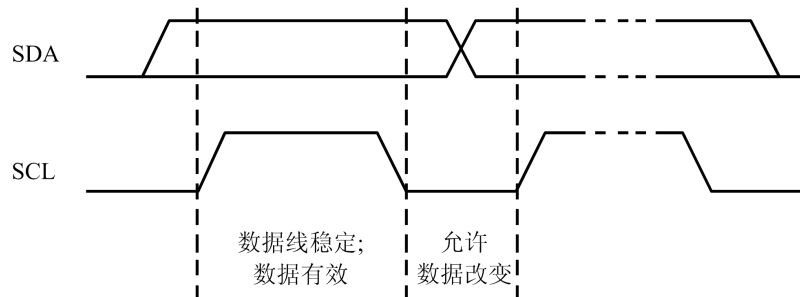


图 17. I²C 总线的位传输

2.4.2 起始和停止条件

要处理 I²C 总线的数据传输，必须定义起始（S）和停止（P）条件。

- 起始条件定义为 SCL 高电平时 SDA 线上高到低的跳变。
- 停止条件定义成 SCL 高电平时 SDA 线上低到高的跳变。

起始和停止条件通常由主机产生。起始条件后主机被认为处于忙碌状态；主机在停止条件结束一段时间后被认为重新回到空闲状态。

如果产生的是重复起始条件（Sr）而非停止条件，则总线仍处于忙碌状态。这时，起始条件（S）和重复起始条件（Sr）的功能完全相同。因此，S 符号就用作一个常用术语，代表起始（S）和重复起始（Sr）条件。

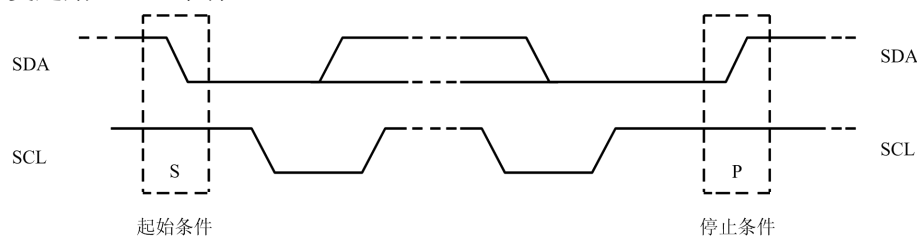


图 18. 起始和停止条件

2.4.3 字节格式

每个字节后面必须跟一个应答位。数据传输时高位在前，如图 20 所示。一次数据传输发送的字节数不限，但必须符合读/写周期格式。

2.4.4 应答

应答是在一个数据字节结束后强制产生的。应答相应的时钟脉冲由主机产生。在应答时钟脉冲周期内，数据发送器释放 SDA 线（高电平）。在应答时钟脉冲期间，接收器拉低 SDA 线使得它在该时钟脉冲的高电平时间内保持低电平。

主机可以产生一个停止（P）条件来终止传输，也可以产生一个重复起始（Sr）条件来启动一次新的传输。

主接收器通过在最后一个字节后不产生应答来向从发送器指示数据的结束。从发送器应当释放数据线以允许主机产生一个停止（P）或重复起始（Sr）条件。

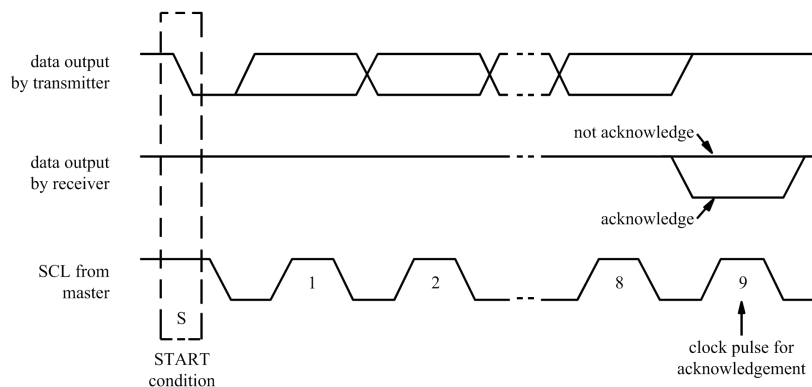


图 19. I²C 总线的应答

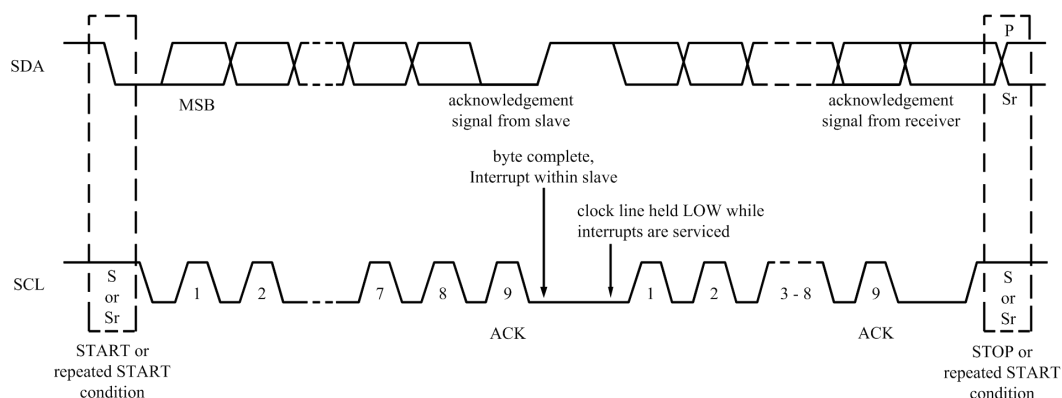


图 20. I²C 总线的数据传输

2.4.5 7 位寻址

在 I²C 总线寻址过程中，起始条件后的第一个字节用来确定主机选择的通信从机。多个地址被保留。这时，在器件配置过程中，设计者必须确保器件地址不会与保留的地址产生冲突。检查 I²C 总线规范保留地址的完整列表。

I²C 总线地址规范与 EA 管脚的定义有关。在 NRSTPD 管脚释放或上电复位后，器件根据 EA 管脚的逻辑电平来决定 I²C 总线地址。

如果 EA 管脚为低电平，则对于所有 MS512 器件，器件总线地址的高 4 位保留，设为 0101b。从机地址剩余的 3 位 (ADR_0, ADR_1, ADR_2) 可由用户自由配置，这样就可以防止与其它 I²C 器件产生冲突。

如果 EA 管脚设置为高电平，则 ADR_0-ADR_5 完全由表 13 中的外部管脚来确定。ADR_6 总是设置为 0。

在这两种模式下，外部地址编码都在复位条件释放后立即锁定。不考虑使用管脚上的进一步变化。通过配置外部连线，I²C 总线的地址管脚还可用作测试信号的输出。

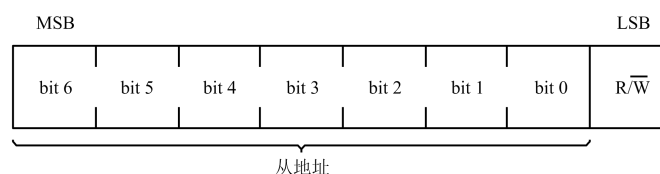


图 21. 起始条件后的第一个字节

2.4.6 寄存器写访问

使用下面的帧格式可使用 I²C 接口将数据从主机控制器写入 MS512 中指定的寄存器。

- 帧的第一个字节是遵循 I²C 规则的器件地址。
- 第二个字节是寄存器地址，接下来是 n 个数据字节。

在一帧中，所有数据字节都被写入相同的寄存器地址。这种方法可使能 FIFO 的快速访问。
读/写位应当设置为 0。

2.4.7 寄存器读访问

使用下面的帧格式可读出 MS512 中指定寄存器的数据。

- 首先，必须写入指定寄存器的地址，格式描述如下。
- 帧的第一个字节是遵循 I²C 规则的器件地址。
- 读/写位为 0。

写地址操作完成后，开始读访问。主机发送 MS512 的器件地址。作为回应，MS512 发送读访问寄存器的内容。在一帧中，所有数据字节都从相同的寄存器地址读出。这种方法可使能 FIFO 的快速访问或寄存器查询。

读/写位应当设置为 1。

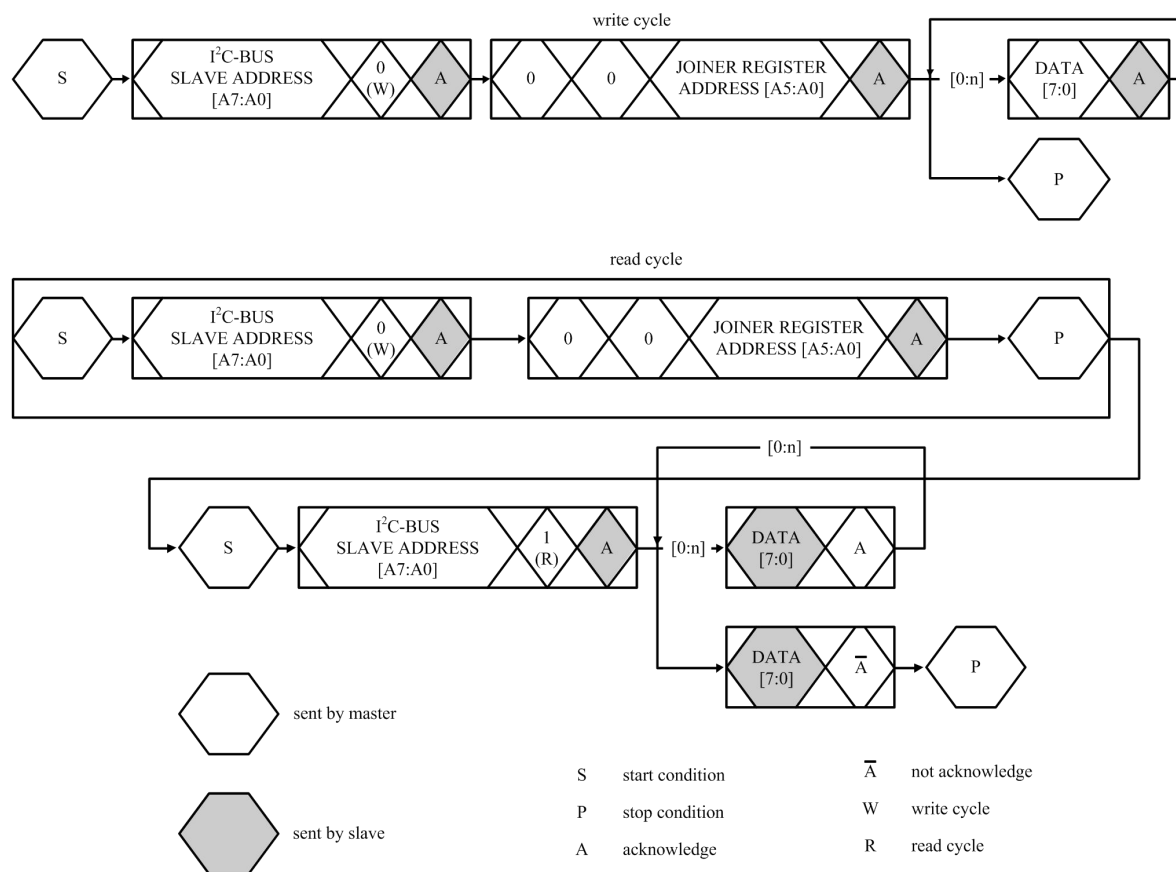


图 22. 寄存器读和写访问

2.4.8 高速模式

在高速模式下 (HS 模式)，器件的传输位速率高达 3.4Mbit/s。在混合速率的总线系统中，它保持完全向下兼容快速或标准模式 (F/S 模式) 的双向通信。

2.4.9 高速传输

为了获得高达 3.4Mbit/s 的位传输速率，对 I²C 总线操作作了以下改进。

- 高速模式下器件的输入端有尖峰脉冲抑制功能，在 SDA 和 SCL 输入端有一个施密特触发器，它们与 F/S 模式相比有不同的时序常数。
- 高速模式下器件的输出端控制 SDA 和 SCL 信号的下降沿斜率，它们与 F/S 模式相比有不同的时序常数。

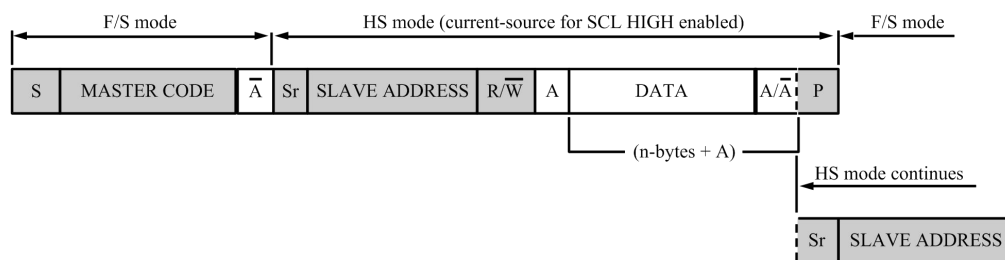
2.4.10 高速模式下的串行数据传输格式

高速模式下的串行数据传输满足标准模式的 I²C 总线规范。只有满足以下条件高速模式传输才能启动（所有条件均在 F/S 模式）：

1. 起始条件 (S)
2. 8 位主机代码 (00001XXXb)
3. 非应答位 ($\bar{A}$)

高速模式开始后，在 7 位从地址和一个读/写位之后，有效主机再发送一个重复起始条件（Sr），从选择的 MS512 中接收一个应答位（A）。

下一个重复起始条件 (Sr) 后继续执行高速模式的数据传输, 只在停止条件 (P) 后切换回 F/S 模式。为了降低主机代码开销, 主机将大量的高速模式的传输链接到一起, 这些传输通过重复起始条件 (Sr) 分隔开来。

图 23. I²C 总线高速模式协议转换

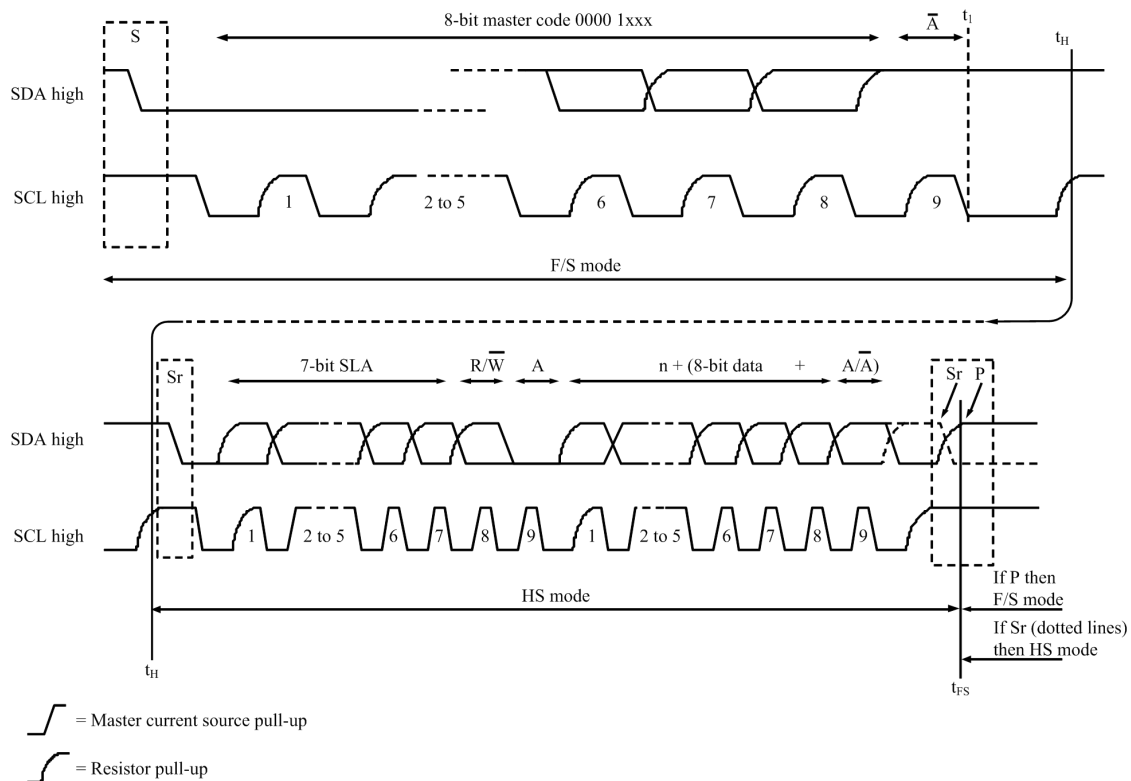


图 24. I²C 总线高速模式协议帧

2.4.11 F/S 模式和 HS 模式之间的切换

复位和初始化后，MS512 工作在快速模式（当快速模式向下兼容标准模式时，它实际上就是 F/S 模式）。连接的 MS512 识别到 “S 00001XXX A” 序列时，会将其内部电路从快速模式设置转换成高速模式设置。

执行以下操作：

1. 根据 Hs 模式的尖峰脉冲抑制要求来调整 SDA 和 SCL 的输入滤波器。
2. 调整 SDA 输出级的斜率控制。

对于通信中不含有其它 I²C 器件的系统配置，可以通过另一种方法永久地切换到 HS 模式。就是将 Status2Reg 寄存器的 I²CForceHS 位设置为 1。进入永久 Hs 模式后，这就无需再发送主机代码了。这个操作不符合总线规范，只能用在总线无其它器件连接的情况下。此外，由于减少了尖峰抑制，一定要避免 I²C 总线上的尖峰。

2.4.12 低速模式下的 MS512

MS512 完全向下兼容，可连接到 F/S 模式的 I²C 总线系统。由于此配置中不发送主机代码，因此器件处于 F/S 模式，以 F/S 模式的速率进行通信。

2.5 8 位并行接口

MS512 支持 2 中不同类型的 8 位并行接口，Intel 和 Motorola 兼容模式。

2.5.1 支持的主控接口概述

MS512 支持直接连接到各种微控制器。下表显示了 MS512 支持的并行接口类型。

表 23. 支持的接口类型

支持的接口类型	总线	分离的地址和数据总线	复用的地址和数据总线
分离的读/写选通	控制	NRD, NWR, NCS	NRD, NWR, NCS, ALE

(Intel 兼容)	地址	A0...A3[...A5]	AD0...AD7
	数据	D0...D7	AD0...AD7
复用的读/写选通 (Intel 兼容)	控制	R/NW, NDS, NCS	R/NW, NDS, NCS, AS
	地址	A0...A3[...A5]	AD0...AD7
	数据	D0...D7	AD0...AD7

2.5.2 分离的读/写选通

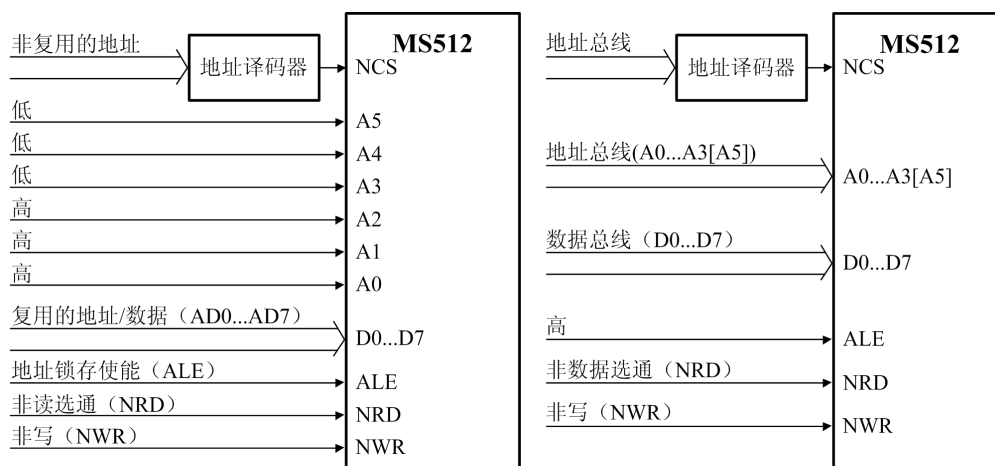


图 25. 采用分离的读/写选通连接到主控制器

相关时序要求参考“8 位并行接口时序”。

2.5.3 共用的读/写选通

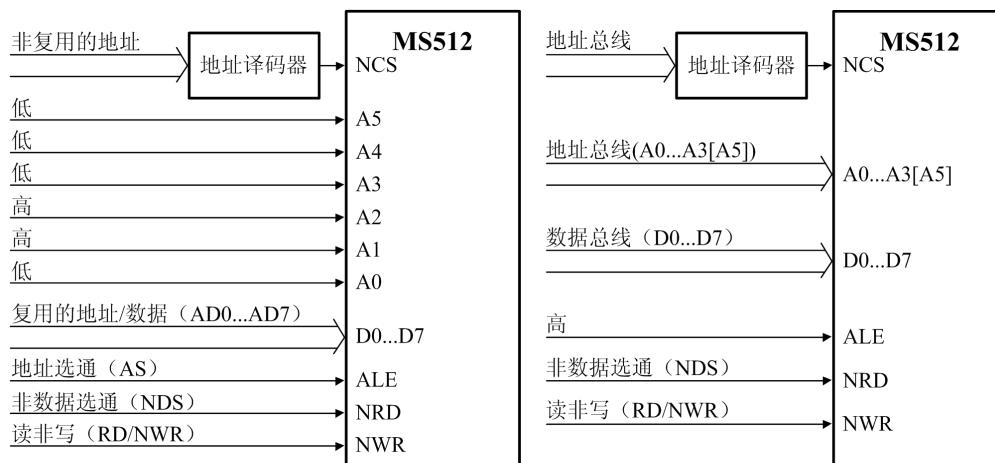


图 26. 采用共用的读/写选通连接到主控制器

相关时序要求参考“8 位并行接口时序”。

2.6 模拟接口和非接触式 UART

2.6.1 概述

非接触式 UART 支持总线上的外部主机按协议要求进行的帧形成和错误检查，速度可达 848kBd。通过外部电路连接到通信接口 SIGIN 和 SIGOUT，可调制和解调数据。

非接触式 UART 可处理为主机通信设定的协议。该协议本身可产生面向位和字节的帧。另外，它还能依据可支持的非接触式通信协议来进行诸如奇偶校验和 CRC 错误检测。

注：天线的尺寸，调谐和电源电压都会对操作距离产生非常重大的影响。

2.6.2 TX 驱动器

管脚 TX1 和 TX2 发送的信号是经包络信号调制的 13.56MHz 的能量载波。它可用来直接驱动通过无源器件进行匹配和滤波的天线。TX1 和 TX2 上的信号可通过 TxControlReg 寄存器进行设置。

调制系数可通过调节驱动器的阻抗进行设置。可通过配置寄存器 CWGsPReg 和 ModGsPReg 的值来改变 p 驱动器的阻抗。配置寄存器 GsNReg 的值来改变 n 驱动器的阻抗。调制系数还取决于天线的设计和调谐。

寄存器 TxModeReg 和 TxSelReg 控制着发送的数据率和数据结构以及天线驱动器设置，以便支持不同模式和传输速率下的不同要求。

表 24. 控制管脚 TX1 上信号的寄存器设置

Tx1R FEn	Force 100ASK	InvTx1RF0n	InvTx1RF Off	Envelope	TX1	GSPMos	GSNMos	备注
0	X ^[1]	X ^[1]	X ^[1]	X ^[1]	X ^[1]	X ^[1]	X ^[1]	如果 RF 场关闭则不用设置
1	0	0	X ^[1]	0	RF	pMod	nMod	100%ASK; 管脚 TX1 下拉至逻辑 0, 与 InvTx1RF0ff 位无关
				1	RF	pCW	nCW	
	0	1	X ^[1]	0	RF	pMod	nMod	
				1	RF	pCW	nCW	
	1	1	X ^[1]	0	0	pMod	nMod	
				1	RF_n	pCW	nCW	

[1] X=无关项

表 25. 控制管脚 TX2 上信号的寄存器设置

Tx1R FEn	Force 100ASK	Tx2CW	InvTx1 RF0n	InvTx1 RF0ff	Envelope	TX2	GSPMos	GSNMos	备注
0	X ^[1]		X ^[1]	X ^[1]	X ^[1]	X ^[1]	X ^[1]	X ^[1]	如果 RF 场关闭则不用设置
1	0	0	0	X ^[1]	0	RF	pMod	nMod	-
					1	RF	pCW	nCW	
			1	X ^[1]	0	RF_n	pMod	nMod	
					1	RF_n	pCW	nCW	
		1	0	X ^[1]	X ^[1]	RF	pCW	nCW	Tx2CW 总是 CW 的值
			1	X ^[1]	X ^[1]	RF_n	pCW	nCW	
	1	0	0	X ^[1]	0	0	pMod	nMod	100%ASK; 管脚 TX2 下拉至逻辑 0, 与 InvTx2RF0n/InvTx2RF0ff 位无关
					1	RF	pCW	nCW	
			1	X ^[1]	0	0	pMod	nMod	
					1	RF_n	pCW	nCW	
		1	0	X ^[1]	X ^[1]	RF	pCW	nCW	
			1	X ^[1]	X ^[1]	RF_n	pCW	nCW	

[1] X=无关项

表 24 和表 25 使用了下列缩写:

- RF: 由 27.12MHz 的石英晶振经过 2 分频产生的 13.56MHz 的时钟信号

- RF_n: 反向的 13.56MHz 的时钟信号
- GSPMos: 电导, PMOS 阵列的配置
- GSNMos: 电导, NMOS 阵列的配置
- pCW: CWGsPReg 寄存器定义的用于连续波 CW 的 PMOS 电导值
- pMod: ModGsPReg 寄存器定义的用于调制信号的 PMOS 电导值
- nCW: GsNReg 寄存器的 CWGsN[3:0]位定义的用于 CW 的 NMOS 电导值
- nMod: GsNReg 寄存器的 ModGsN[3:0]位定义的用于调制信号的 NMOS 电导值
- X = 无关项

注: 如果只有一个驱动器开启时, 寄存器 CWGsPReg, ModGsPReg 和 GsNReg 的值同样适用于两个驱动器。

2.6.3 RF 检测器

RF 检测器完整地实现了 NFCIP-1 协议要求 (例如: RF 碰撞避免)。此外, RF 检测器可以用于唤醒 MS512 和产生一个中断。

RF 检测器的灵敏度可通过 RFCfgReg 寄存器中的 RFLevel 位来调节。灵敏度取决于天线的结构和调谐。

RX 管脚上可能的灵敏度列在表 26。

表 26. 设置 RFCfgReg 寄存器中的 RFLevel (RF 放大器失效)

V~Rx[Vpp]	RFLevel
~2	1111
~1.4	1110
~0.99	1101
~0.69	1100
~0.49	1011
~0.35	1010
~0.24	1001
~0.17	1000
~0.12	0111
~0.083	0110
~0.058	0101
~0.041	0100
~0.029	0011
~0.020	0010
~0.014	0001
~0.010	0000

通过设置 RFCfgReg 寄存器中的 RFLevelAmp 位为 1 可激活放大器, 增加 RF 检测器的灵敏度。

注: 在软掉电模式中, RF 检测器的放大器是自动关闭的, 以确保在 3V 电压下功耗小于 10 μ A。

2.6.4 数据格式检测器

依据 ISO/IEC14443A, FeliCa 或者 NFCIP-1 原理, 在标准传输速率 106kbit, 212kbit 和 424kbit 下, 数据格式检测器检测接收到的数据以快速方便准备好内部接收器进行数据处理。

数据格式检测器只能被 AutoColl 命令激活。当 RF 检测器没有检测到外部 RF 场时，格式检测器复位。在 AutoColl 指令期间，可通过设置 ModeReg 寄存器中的 ModeDetOff 位为 1 来关闭数据格式检测器。

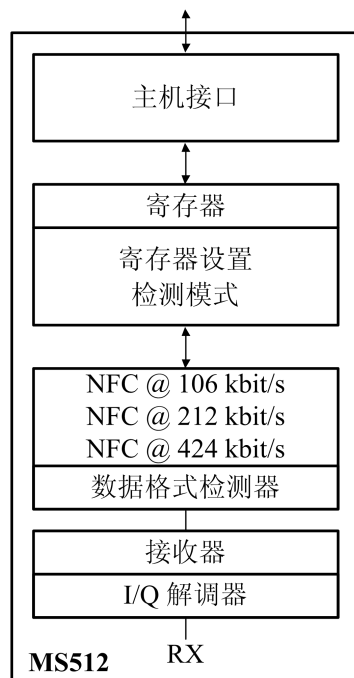


图 27. 数据格式检测器

2.6.5 串行数据开关

MS512 集成了两大模块。数字模块包括状态机，编码器/解码器逻辑电路。模拟模块包括调制器和天线驱动器，接收器和放大器。配置两大模块之间的接口从而使接口信号传送到管脚 SIGIN 和 SIGOUT。SIGIN 管脚可以处理传输速率高于 424kbit 的 NFC 数字信号。SIGOUT 管脚提供一个数字信号，可用于外部电路产生高于 424kbit 的传输速率（包含 106, 212, 和 424kbit）。而且，在卡 SAM 模式下，SIGOUT 和 SIGIN 管脚连接 MS512 和加密 IC 可用于 S²C 接口以模拟卡功能。

这种拓扑结构允许 MS512 的模拟模块连接到其它设备的数字模块。

串行信号的开关由寄存器 TxSelReg 和 RxSelReg 控制。

图 28 显示了 TX1 和 TX2 的串行数据转换。

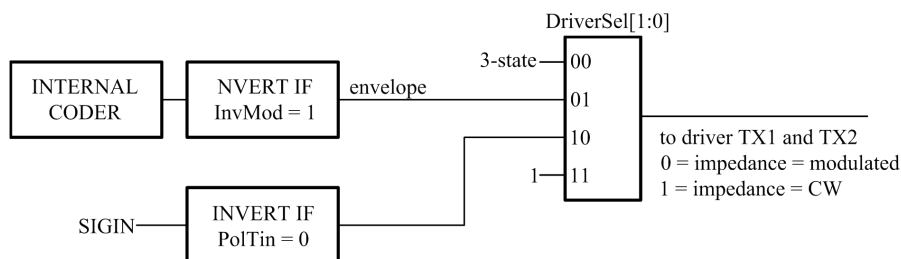


图 28. TX1 和 TX2 的串行数据转换

2.6.6 S²C 接口支持

通过 S²C 接口，可直接连接一个加密 IC 到 MS512 作为非接触式卡。接口信号可追溯到 SIGIN 和 SIGOUT 管脚。SIGIN 管脚可接收由加密 IC 发送的数字 FeliCa 或数字化的 ISO/IEC 14443A 信

号。SIGOUT 管脚提供一个数字信号和一个时钟信号用以和加密 IC 通信。

MS512 有外部供电管脚（SVDD 和 PVSS 作为地线）用于 SIGIN 和 SIGOUT 管脚。

图 29 描述了 MS512 到加密 IC 可能的通信路径。

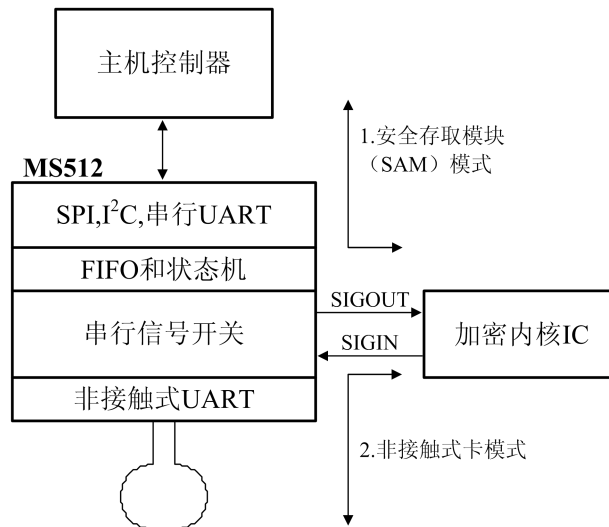


图 29. 使用 S²C 接口的流程

配置安全存取模式，主控制器可通过 SIGIN/SIGOUT 管脚直接与加密 IC 通信。在该模式下，MS512 产生 RF 时钟，在 SIGOUT 上完成通信。使能该模式，时钟由 MS512 的内部振荡器驱动，详见 TestSelReg 寄存器的 SAMClockSel 位。

配置非接触式卡模式，加密 IC 通过 MS512 可作为非接触式智能卡。该模式下，SIGOUT 管脚上的信号由外部读写器产生的外部 RF 场提供。使能该模式，时钟由外部 RF 场驱动。

用于 FeliCa 和 ISO/IEC 14443A 方案的不同 S²C 接口配置描述在以下章节。

2.6.6.1 S²C 接口支持的 FeliCa 信号波形

FeliCa 加密 IC 通过 SIGOUT 和 SIGIN 管脚连接到 MS512。

SIGOUT 管脚上的信号包含了 13.56MHz 时钟和数字化的解调信号。时钟和解调信号通过逻辑异或叠加。

为确保没有尖峰，解调信号首先得经过数字滤波。数字滤波的延迟在一个位宽度范围内。解调信号只在时钟的上升沿变化。

TxSelReg 寄存器控制 SIGOUT 上的设置。

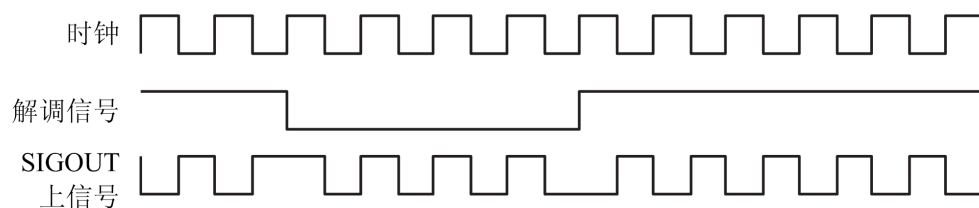


图 30. SAM 模式下 SIGOUT 上的信号波形

FeliCa SAM 的应答信号直接从 SIGIN 管脚传输到天线驱动器上。信号根据天线驱动器的寄存器设置进行调制。

时钟转换到 AUX1 或 AUX2（详见 AnalogSelAux）。

注：AUX1 和 AUX2 上的一个高电平信号同 AVDD 电平一样。SIGOUT 上的高电平信号同 SVDD 电平一样。若采用串行接口，D0 管脚可作为时钟输出，且高电平信号同 PVDD 电平一样。

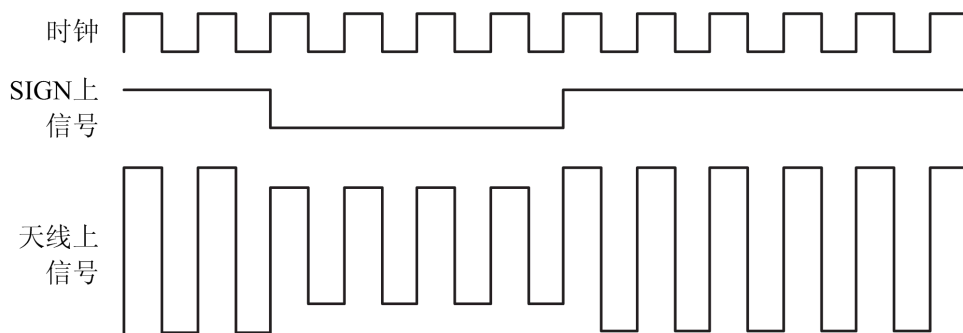


图 31. SAM 模式下 SIGIN 上的信号波形

注：天线上的信号只显示其原理，其实际波形是正弦曲线。

2.6.6.2 S²C 接口支持的 ISO/IEC 14443A 信号波形

加密 IC 通过 SIGOUT 和 SIGIN 管脚连接到 MS512。

在非接触式卡模式或内部产生的安全存取模式下，SIGOUT 管脚上的信号波形是密勒编码数字信号。该信号源自外部 13.56MHz 的载波信号，其幅度在 PVSS 和 PVDD 之间。

TxSelReg 寄存器控制 SIGOUT 上的设置。

注：关于安全存取模式和非接触式卡模式的时钟设置差异，参考 TestSel1Reg 寄存器中 SAMClockSel 位的描述。

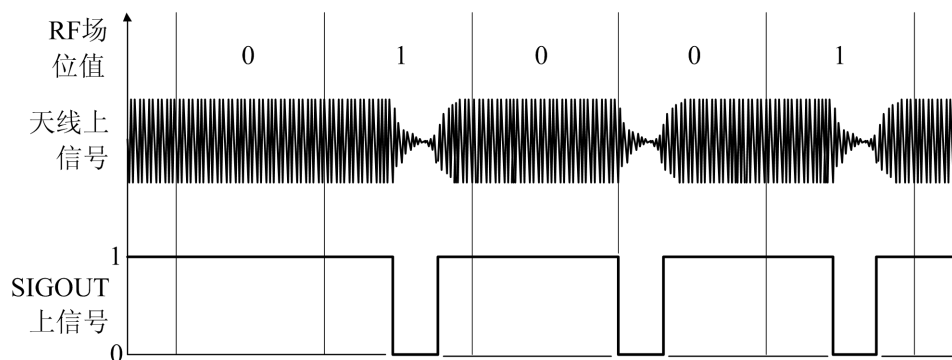


图 32. SAM 模式下 SIGOUT 上的信号波形

SIGIN 管脚上是一个曼彻斯特编码的数字信号，依据 ISO/IEC 14443A 原理叠加加密 IC 产生的 847.5kHz 频率的副载波。

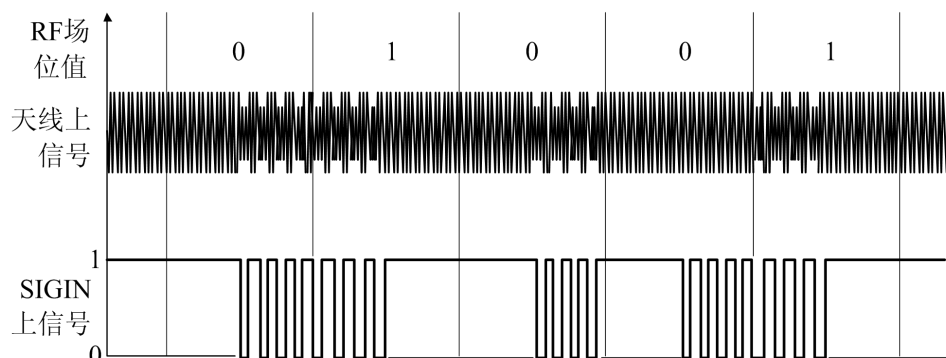


图 33. SAM 模式下 SIGIN 上的信号波形

2.6.7 FeliCa 和 NFC 轮询的硬件支持

2.6.7.1 主设备轮询序列机制

1. 定时器：MS512 有一个可编程定时器，可在每个时隙结尾产生一个中断，或需要在最后一个时隙结尾产生一个中断。

2. 接收器可设置为连续接收。该模式下，可接收许多数据包。在接收完上一个数据包后，接收器准备好直接接收下一个数据包。通过设置 RxModeReg 寄存器中的 RxMultiple 位为 1 来激活该模式，且可通过软件终止。

3. 在传输到 FIFO 缓冲器之前，内部 UART 在接收到每个数据包的结尾添加一个字节数据。该字节指示接收到的数据包是否正确（参考 ErrorReg 寄存器）。每个数据包的第一个字节包含了数据包的长度。

4. 一个数据包的长度是 18 或 20 个字节（+1 个错误信息字节），FIFO 有 64 个字节。这意味着 FIFO 可同时存储 3 个数据包。若预期有多于 3 个数据包，主控制器必须在 FIFO 完全溢出前清空 FIFO。防止 FIFO 溢出的数据丢失（参考 ErrorReg 寄存器中的 BufferOvf1 位）。

2.6.7.2 目标设备轮询序列机制

1. 对于轮询指令，主控制器必须对 MS512 配置正确的轮询响应参数。

2. 在目标模式中，为激活自动轮询，必须激活 AutoColl 指令。

3. MS512 接收任何主设备发出的轮询指令，且应答轮询。MS512 自动选择时隙（时隙是随机生成的，但在 0-TSN 的范围内，且时隙由轮询指令定义）。MS512 比较通过 Config 指令保存的 17 和 18 字节的系统码与通过轮询指令接收到的系统码。如果两者相同，MS512 根据配置的轮询响应进行应答。系统码 FF（hex）作为系统码字节的通配符，例如，一个系统码为 1234（hex）的目标设备用以下系统码应答轮询指令 1234（hex），12FF（hex），FF34（hex）或 FFFF（hex）。若系统码不匹配，MS512 不发送任何响应。

若 MS512 接收到非轮询指令的其他有效指令，则不发送任何响应且 AutoColl 指令终止。接收到的数据包保存在 FIFO 中。

2.6.7.3 FeliCa 和 NFC 额外的硬件支持

此外，在 FeliCa 模式下，MS512 支持检查 Len 字节。

接收的 Len 字节依据 FelNFC1Reg 和 FelNFC2Reg 寄存器：

FelNFC1Reg 寄存器的 DataLenMin 定义了接收数据包的最小长度。该寄存器有 6 位，每一位表示 4 个字节长度。

FelNFC2Reg 寄存器的 DataLenMax 定义了接收数据包的最大长度。该寄存器有 6 位，每一位表示 4 个字节长度。若设置为 1，忽略该限制。如果接收的长度不在支持范围内，数据包不会传输到 FIFO 且接收状态保持有效。

例 1：

- DataLenMin = 4
 - 长度应大于等于 16。
- DataLenMax = 5
 - 长度应小于 20。有效范围：16, 17, 18, 19

例 2：

- DataLenMin = 9
 - 长度应大于等于 36。
- DataLenMax = 0
 - 长度应小于 256。有效范围：36-255

2.6.7.4 CRC 协处理器

CRC 协处理器的以下参数可以设置：

- CRC 的预置值包括 0000h, 6363h, A671h 或 FFFFh , 这取决于 ModeReg 寄存器的 CRCPreset[1:0]位的设置。
- 16 位的 CRC 多项式为 $X^{16} + X^{12} + X^5 + 1$ 。
- CRCResultReg 寄存器显示了 CRC 的计算结果。该寄存器被分割成两个 8 位的寄存器来表示高位和低位字节。
- ModeReg 寄存器的 MSBFirst 位表示被加载的数据是最高位先进的。

表 27. CRC 协处理器参数

参数	值
CRC 寄存器长度	16 位 CRC
CRC 算法	基于 ISO/IEC 14443 A 和 ITU-T 的算法
CRC 预置值	0000h, 6363h, A671h 或 FFFFh, 取决于 ModeReg 寄存器的 CRCPreset[1:0]位的设置

2.7 FIFO 缓冲器

MS512 包含一个 8×64 位的 FIFO 缓冲器。它用来缓存主机和 MS512 内部状态机之间通信的输入和输出数据流。这使得它可以处理多达 64 字节的数据流而无需考虑时序限制。

2.7.1 FIFO 的访问

FIFO 缓冲器的输入和输出数据总线与寄存器 FIFODataReg 相连。通过写 FIFODataReg 寄存器将一个字节的数据存入 FIFO 缓冲器，之后内部 FIFO 缓冲器写指针加 1。而读取的 FIFODataReg 寄存器的内容是读指针指向 FIFO 缓冲器所存储的数据，之后 FIFO 缓冲器读指针减 1。FIFO 缓冲器的读和写指针之间的距离通过读取 FIFOLevelReg 寄存器获得。

当微控制器发送一个指令时，在指令执行过程中，MS512 可根据该命令访问 FIFO 缓冲器。只有当 FIFO 缓冲器有效时它才可继续用于输入和输出。微控制器必须确保无任何对 FIFO 的无效访问。

2.7.2 FIFO 的控制

可通过设置 FIFOLevelReg 寄存器的 FlushBuffer 位为 1 来复位 FIFO 缓冲器指针。从而，FIFOLevel[6:0]位都为 0 且 ErrorReg 寄存器的 BufferOvfl 位被清零。此时，实际存储的字节不能再访问，而 FIFO 缓冲器可以用来存放下一个 64 字节的数据。

2.7.3 FIFO 的状态信息

主机可获取以下 FIFO 缓冲器的状态信息：

- FIFO 缓冲器存储的数据容量：FIFOLevelReg 寄存器的 FIFOLevel[6:0]位。
- FIFO 缓冲器快溢出时的警告：Status1Reg 寄存器的 HiAlert 位。
- FIFO 缓冲器快空时的警告：Status1Reg 寄存器的 LoAlert 位。
- FIFO 缓冲器溢出时的警告：ErrorReg 寄存器的 BufferOvfl 位。该位只能通过设置 FIFOLevelReg 寄存器的 FlushBuffer 位来清零。

当出现以下情况时，MS512 可以产生中断信号：

- ComIEnReg 寄存器 LoAlertIEn 位设置为 1，当 Status1Reg 寄存器的 LoAlert 位变为 1 时管脚 IRQ 激活。
- ComIEnReg 寄存器 HiAlertIEn 位设置为 1，当 Status1Reg 寄存器的 HiAlert 位变为 1 时管脚 IRQ 激活。

如果 WaterLevel 的值（在 WaterLevelReg 寄存器中设置）大于或等于 FIFO 缓冲器中剩余空间的值，则 HiAlert 位被置为 1。通过以下等式算出：

$$\text{HiAlert} = (64 - \text{FIFOLength}) \leq \text{WaterLevel}$$

如果 WaterLevel 的值（在 WaterLevelReg 寄存器中设置）大于或等于 FIFO 缓冲器中已存储

空间的值，则 LoAlert 位被置为 1。通过以下等式算出：

$$\text{LoAlert} = \text{FIFOLength} \leq \text{WaterLevel}$$

2.8 中断请求系统

MS512 通过置位寄存器 Status1Reg 的 IRq 位或激活 IRQ 管脚来指示中断。IRQ 管脚的信号可使主机使用其中断处理机制来处理。这使得软件执行效率大为提高。

2.8.1 中断源概述

表 28 列出了可使用的中断位，相应的中断源及中断产生的条件。ComIrqReg 寄存器的 TimerIRq 中断位指出一个由定时器产生的中断，当定时器从 1 减到 0 时，此中断位被置位。

ComIrqReg 寄存器的 TxIRq 位表明发送器发送完成。如果状态从发送数据变到发送结束帧，则发送器自动置位相应中断位。CRC 协处理器在处理完 FIFO 缓冲器里所有的数据后置位 DivIrqReg 寄存器的 CRCIRq 位，通过 CRCReady 位置 1 来指示。

ComIrqReg 寄存器的 RxIRq 位表明检测到接收数据的结束。如果执行完一个指令且 CommandReg 寄存器的 Command[3:0] 位的内容变为空闲时，则 ComIrqReg 寄存器的 IdleIRq 位被置位。

当 HiAlert 位置 1 且 ComIrqReg 寄存器的 HiAlertIRq 位置位时，表明 FIFO 缓冲器已经达到 WaterLevel[5:0] 位指示的长度。

当 LoAlert 位置 1 且 ComIrqReg 寄存器的 LoAlertIRq 位置位时，表明 FIFO 缓冲器已经达到 WaterLevel[5:0] 位指示的长度。

ComIrqReg 寄存器的 ErrIRq 位表示非接触式 UART 在发送或接收过程中检测到一个错误。当 ErrorReg 寄存器中的任何一个位置 1 时都表明产生了错误。

表 28. 中断源

中断标志	中断源	触发动作
TimerIRq	定时器单元	定时器从 1 计到 0
TxIRq	发送器	数据发送结束
CRCIRq	CRC 协处理器	FIFO 缓冲器的数据处理完毕
RxIRq	接收器	数据接收结束
IdleIRq	ComIRQReg 寄存器	指令执行结束
HiAlertIRq	FIFO 缓冲器	FIFO 缓冲器快溢出时
LoAlertIRq	FIFO 缓冲器	FIFO 缓冲器快为空时
ErrIRq	非接触式 UART	检测到一个错误

2.9 定时器单元

MS512 有一个定时器单元，外部主机可以使用它来处理定时任务。定时器可使用如下所示的任何一个定时/计数配置：

- 超时计数器
- 看门狗计数器
- 秒表
- 可编程一次触发
- 周期性触发器

定时器单元可用来测量两个事件之间的时间间隔或指示某段时间后指定事件的发生。它可由下文解释的事件来触发。定时器不会影响任何内部事件，例如，数据接收过程中的定时器超时并不会影响接收过程的自动处理。此外，一些与定时器相关的位可以用来产生中断。

定时器的时钟振荡频率为 13.56MHz，它是 27.12MHz 的石英晶体振荡器分频得到的。定时器包括两个阶段：预分频和计数。

预分频器 (TPrescaler) 是一个 12 位计数器。它的重装值 (TReloadVal_Hi[7:0] 和 TReloadVal_Lo[7:0]) 在 0 到 4095 之间，由 TModeReg 寄存器的 TPrescaler_Hi[3:0] 位和 TPrescalerReg 寄存器的 TPrescaler_Lo[7:0] 来设置。

计时器中的 16 位重装值在寄存器 TReloadReg 中定义，取值范围为 0 到 65535。

定时器的当前值在寄存器 TCouterValReg 中显示。

当计数值达到 0 时，自动产生一个中断，通过置位 CommonIRQReg 寄存器的 TimerIRQ 位来指示。如果使能，IRQ 管脚就会出现此中断信号。TimerIRQ 位可由主机来置位和复位。根据配置，定时器可以在计数到 0 时停止运行，或将 TReloadReg 寄存器的值作为初始值重新启动计数。

定时器的状态由 Status1Reg 寄存器的 TRunning 位来指示。

定时器的启动和停止可分别由 ControlReg 寄存器的 TStartNow 和 TstopNow 位来控制。

定时器还可通过设置 TModeReg 寄存器的 TAuto 位为 1 来自动激活，以满足特定的协议要求。

定时过程中的延迟时间为重装值加 1。

总的延迟时间由如下方程得出： $t = ((TPrescaler * 2 + 1) * TReload + 1) / 13.56\text{MHz}$ ，若 TPrescaleEven 位置 1： $t = ((TPrescaler * 2 + 2) * TReload + 1) / 13.56\text{MHz}$

最大时间：TPrescaler = 4095, TReloadVal = 65535

$$\Rightarrow (2 * 4095 + 2) * 65536 / 13.56\text{ MHz} = 39.59\text{ s}$$

例如：为了得到一个 25μs 的延迟，需要计数 339 个时钟周期且 TPrescaler 的值为 169。该配置使计数器每 25μs 周期计数到 65535。

2.10 节电模式

2.10.1 硬掉电模式

当管脚 NRSTPD 为低电平时进入硬掉电模式。该模式下，关闭包括振荡器在内的所有内部电流。所有数字输入缓冲器和输入端分离，并关闭其功能 (NRSTPD 管脚除外)，输出管脚也保持在高电平或低电平。

2.10.2 软掉电模式

CommandReg 寄存器的 PowerDown 位设为 1 后立刻进入软掉电模式。关闭包括振荡器缓冲器在内的所有内部电流。但是数字输入缓冲器不和输入端分离，且功能保持不变。数字输出管脚的状态不变。

在软掉电期间，所有的寄存器的值，FIFO 的值和配置都保持不变。

在设置 PowerDown 位为 0 后，经过 1024 个时钟周期退出软掉电模式。PowerDown 位设置为 0 并不能立刻将其清除，而是 MS512 在退出软掉电模式后自动清零。

注：如果使用了内部振荡器，必须考虑它是由管脚 AVDD 提供的电源，必须经过一段时间 (t_{osc}) 后，振荡器才能稳定，且内部逻辑才能检测到时钟周期。在使用串行 UART 通信时，首先要给 MS512 发送 55h，振荡器必须保持稳定后才能再进一步访问寄存器。为了确保这一点儿，直到 MS512 回应上一个寄存器内容为地址 0 的读命令时才执行对地址 0 的读访问。这样来指示 MS512 可以执行进一步的操作。

2.10.3 发送器掉电模式

发送器掉电模式切断内部天线驱动器来关闭 RF 场，可以通过设置 TXControlReg 寄存器的 TX1RFEn 或 TX2RFEn 位为 0 来实现。

2.11 振荡器电路

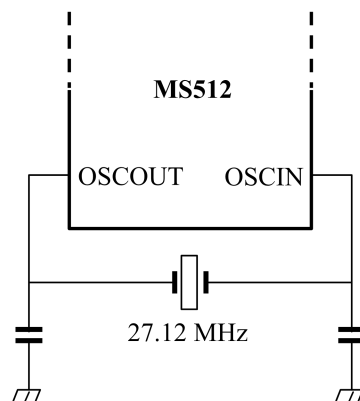


图 34. 石英晶体的连接

MS512 的时钟可用作同步系统的编码器和解码器的时钟基准。因此，时钟频率的稳定性是保证系统良好性能的重要因素。为了获得最佳性能，必须尽可能减少时钟抖动。最好采用一个带有推荐电路的内部振荡缓冲器。

如果采用外部时钟源，时钟信号连接至 OSCIN 管脚。在这种情况下，特别要注意验证时钟的占空比，时钟抖动以及时钟信号的质量。

2.12 复位和振荡器起振时间

2.12.1 复位时序要求

复位信号在进入数字电路之前必须经过一个迟滞电路和一个尖峰滤波器。尖峰滤波器过滤掉小于 10ns 的信号。为了实现复位，信号必须至少保持 100ns 的低电平。

2.12.2 振荡器起振时间

如果 MS512 被设置为低功耗模式或使用 V_{DDX} 供电时，MS512 的起振时间取决于所用的振荡器，如图 23 所示。

$t_{startup}$ 为晶振电路的起振时间，它由晶体本身决定。

t_d 为在 MS512 能够寻址前时钟信号维持稳定的内部延迟时间。

延迟时间由如下计算出：

$$t_d = \frac{1024}{27\mu s} = 37.74\mu s$$

t_{osc} 为 t_d 与 $t_{startup}$ 的和。

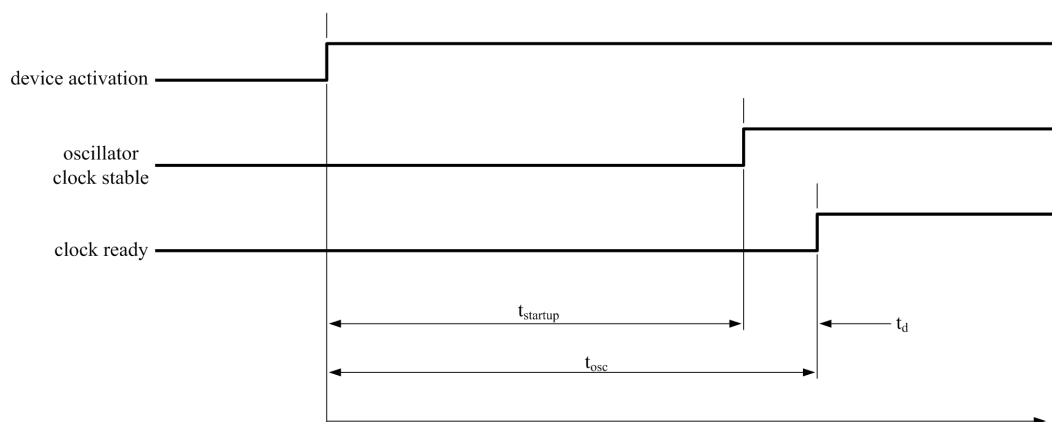


图 35. 振荡器起振时间

MS512 寄存器集

3.1 寄存器位的特性

根据寄存器功能的不同，寄存器的访问条件也多种多样。理论上，具有相同特性的位归为同组。表 29 描述了寄存器的访问条件。

表 29. 寄存器位的特性

缩写	特性	描述
r/w	读/写	微处理器可以对这些位进行读和写操作，由于它们仅用于控制，其内容不会受到内部状态机的影响。例如，微处理器可以对寄存器 ComIEnReg 进行读或写操作，但内部状态机对该寄存器只能读取而不能改变它们的值。
dy	动态	微处理器可以对这些位进行读或写操作，不过内部状态机同样可以改变这些寄存器的值。例如，寄存器 CommandReg 在指令执行后自动改变其内部的某些值。
r	只读	这些寄存器的值只能由内部的状态决定。例如 CRCReady 位只能表示内部的状态，外部或内部状态机都不能改变它的值。
w	只写	这些寄存器的位读结果总是 0。
RFU	–	这些寄存器是被保留的以备将来之用，在写操作时最好将这些寄存器都写为 0。
RFT	–	这些寄存器是被保留的以备将来之用或是为了生产测试。

3.2 寄存器总览

表 30. MS512 寄存器总览

Address (HEX)	寄存器名	功能
Page 0: 指令和状态		
00h	PageReg	选择寄存器页
01h	CommandReg	启动和停止指令
02h	ComIEnReg	使能和禁用中断请求控制位
03h	DivIEnReg	使能和禁用中断请求控制位
04h	ComIrqReg	中断请求位
05h	DivIrqReg	中断请求位
06h	ErrorReg	显示上一个指令执行的错误状态
07h	Status1Reg	通信状态位
08h	Status2Reg	接收器和发送器状态位
09h	FIFODataReg	64 字节 FIFO 缓冲器输入和输出
0Ah	FIFOLevelReg	FIFO 缓冲器已存储字节的数量
0Bh	WaterLevelReg	FIFO 缓冲器溢出和空警告
0Ch	ControlReg	各种控制寄存器
0Dh	BitFramingReg	面向位的帧的调节
0Eh	CollReg	检查产生位冲突的第一个位的地址

0Fh	RFU	保留
Page 1: 指令		
10h	PageReg	选择寄存器页
11h	ModeReg	定义发送和接收通用模式的设置
12h	TxModeReg	定义发送过程的数据传输速率和结构
13h	RxModeReg	定义接收过程中的数据传输速率和结构
14h	TxControlReg	控制天线驱动器管脚 TX1 和 TX2 的逻辑特性
15h	TxAutoReg	控制天线驱动器的设置
16h	TxSelReg	选择天线驱动器的内部信号源
17h	RxSelReg	选择内部接收器的设置
18h	RxThresholdReg	选择位解码器的阈值
19h	DemodReg	定义解调器的设置
1Ah	FelNFC1Reg	定义接收数据包的有效长度范围
1Bh	FelNFC2Reg	定义接收数据包的有效长度范围
1Ch	MifNFCReg	控制 ISO/IEC 14443A 和 NFC 目标模式在 106kbit 速率下的通信
1Dh	ManualRCVReg	允许手动细调内部接收器
1Eh	TypeBReg	配置 ISO/IEC 14443B
1Fh	SerialSpeedReg	选择串行 UART 接口的速率
Page 2: 配置		
20h	PageReg	选择寄存器页
21h	CRCResultReg	显示 CRC 计算的 MSB 和 LSB 值
22h		
23h	GsNOffReg	当驱动器关闭后，选择 TX1 和 TX2 管脚上用于调制的天线驱动管的电导
24h	ModWidthReg	控制调制宽度的设置
25h	TxBitPhaseReg	调整在 106kbit 下 TX 的位相位
26h	RFCfgReg	配置接收器增益和 RF 能级
27h	GsNOnReg	当驱动器关闭后，选择 TX1 和 TX2 管脚上用于调制的天线驱动管的电导
28h	CWGSPReg	在无调制期间，选择 TX1 和 TX2 管脚上用于调制的天线驱动管的电导
29h	ModGsPReg	在调制期间，选择 TX1 和 TX2 管脚上用于调制的天线驱动管的电导
2Ah	TModeReg	内部定时器的设置
2Bh	TPrescalerReg	
2Ch	TReloadReg	定义 16 位定时器的重载值
2Dh		
2Eh	TCounterValReg	显示 16 定时器的当前值
2Fh		
Page 3: 测试寄存器		
30h	PageReg	选择寄存器页

31h	TestSel1Reg	通用测试信号的配置
32h	TestSel2Reg	通用测试信号的配置和 PRBS 控制
33h	TestPinEnReg	使能 D0-D7 的输出驱动器（注：仅用于串行接口）
34h	TestPinValueReg	定义管脚 D0-D7 用作 I/O 总线时的值
35h	TestBusReg	显示内部测试总线的状态
36h	AutoTestReg	控制数字自检
37h	VersionReg	显示软件版本
38h	AnalogTestReg	控制管脚 AUX1 和 AUX2
39h	TestDAC1Reg	定义 TestDAC1 的测试值
3Ah	TestDAC2Reg	定义 TestDAC2 的测试值
3Bh	TestADCReg	显示 ADC 中 I 和 Q 通道的值
3Ch-3Fh	RFT	保留用于产品测试

3.3 寄存器描述

3.3.1 Page 0: 指令和状态

3.3.1.1 PageReg 寄存器

选择寄存器页。

表 31. 页寄存器（地址 00h）；复位值：00h

位	7	6	5	4	3	2	1	0
符号	UsePageSelect	0					PageSelect	
访问类型	r/w	RFU					r/w	

表 32. 页寄存器位的描述

位	符号	描述
7	UsePageSelect	设置为 1 时，PageSelect 的值作为寄存器地址 A5 和 A4。寄存器地址的低位由各自的地址管脚或内部地址锁存。 设置为 0 时，所有的内部地址锁存数据定义地址寄存器。地址管脚的使用见 2.1.1 节“自动检测微控制器接口类型”。
6-2	—	保留
1-0	PageSelect	在 UsePageSelect 位置 1 时，该值有效。该情况下，规定了寄存器页（寄存器地址的 A5 和 A4）。

3.3.1.2 CommandReg 寄存器

启动和停止指令。

表 33. CommandReg 寄存器（地址 01h）；复位值：20h

位	7	6	5	4	3	2	1	0
符号	0	RcvOff	PowerDown	Command				
访问类型	RFU	r/w	dy	dy				

表 34. CommandReg 寄存器位的描述

位	符号	描述
7-6	—	保留
5	RcvOff	设置为 1 时，关闭接收器的模拟部分。

4	PowerDown	设置为 1 时，进入软掉电模式。 设置为 0 时，启动唤醒过程。在唤醒过程中，该位始终为 1。0 表示 MS512 准备好了。 注：在指令 SoftReset 有效时，PowerDown 位不能被设置。
3-0	Command	根据这些位的值激活相应的指令。通过读该寄存器来了解实际正在执行的指令。

3.3.1.3 ComIEnReg 寄存器

使能和禁用中断请求控制位。

表 35. ComIEnReg 寄存器（地址 02h）；复位值：80h

位	7	6	5	4	3	2	1	0
符号	IRqInv	TxIEn	RxIEn	IdleIEn	HiAlertIEn	LoAlertIEn	ErrIEn	TimerIEn
访问类型	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

表 36. ComIEnReg 寄存器位的描述

位	符号	描述
7	IRqInv	设置为 1 时，IRQ 管脚的电平状态和 Status1Reg 寄存器的 IRQ 位的状态相反。设置为 0 时，IRQ 管脚的电平状态和 Status1Reg 寄存器的 IRQ 位的状态相同；和 DivIEnReg 寄存器的 IRQPushPull 位组合，缺省值为 1，可确保 IRQ 输出为三态输出。
6	TxIEn	允许发送中断请求 (TxIRQ) 至 IRQ 管脚。
5	RxIEn	允许发送中断请求 (RxIRQ) 至 IRQ 管脚。
4	IdleIEn	允许发送中断请求 (IdleIRQ) 至 IRQ 管脚。
3	HiAlertIEn	允许发送中断请求 (HiAlertIRQ) 至 IRQ 管脚。
2	LoAlertIEn	允许发送中断请求 (LoAlertIRQ) 至 IRQ 管脚。
1	ErrIEn	允许发送中断请求 (ErrIRQ) 至 IRQ 管脚。
0	TimerIEn	允许发送中断请求 (TimerIRQ) 至 IRQ 管脚。

3.3.1.4 DivIEnReg 寄存器

使能和禁用中断请求控制位。

表 37. DivIEnReg 寄存器（地址 03h）；复位值：00h

位	7	6	5	4	3	2	1	0
符号	IRQPushPull	0		SiginActIEn	ModeIEn	CRCIEn	RFOnIEn	RFOffIEn
访问类型	r/w	RFU		r/w	r/w	r/w	r/w	r/w

表 38. CommandReg 寄存器位的描述

位	符号	描述
7	IRQPushPull	设置为 1 时，IRQ 管脚输出为标准 CMOS 输出。 设置为 0 时，IRQ 管脚输出为漏极开路输出。
6-5	—	保留
4	SiginActIEn	允许发送 SIGIN 中断请求至 IRQ 管脚。
3	ModeIEn	允许发送模式中断请求 (ModeIRQ) 至 IRQ 管脚。
2	CRCIEn	允许由 DivIRQReg 寄存器的 CRCIRQ 位表示的 CRC 中断请求发送至 IRQ 管脚。
1	RFOnIEn	允许发送 RF 场打开中断请求 (RfOnIRQ) 至 IRQ 管脚。

0	RFOffIEEn	允许发送 RF 场关闭中断请求 (RfOffIRq) 至 IRQ 管脚。
---	-----------	--------------------------------------

3.3.1.5 ComIRqReg 寄存器

中断请求位。

表 39. ComIRqReg 寄存器 (地址 04h) ; 复位值: 14h

位	7	6	5	4	3	2	1	0
符号	Set1	TxIRq	RxIRq	IdleIRq	HiAlertIRq	LoAlertIRq	ErrIRq	TimerIRq
访问类型	w	dy	dy	dy	dy	dy	dy	dy

表 40. ComIRqReg 寄存器位的描述

ComIRqReg 寄存器的所有位都可以由软件清零。

位	符号	描述
7	Set1	设置为 1 时, 置位 ComIRqReg 寄存器中标记的位。 设置为 0 时, 清除 ComIRqReg 寄存器中标记的位。
6	TxIRq	数据的最后一位发送完成后立即置位。
5	RxIRq	当接收器检测到有效数据的末位时, 置 1。 如果 RxModeReg 寄存器的 RxNoErr 位置 1, 则仅当 FIFO 中的接收的数据有效时 RxIRq 位置 1。
4	IdleIRq	当指令由其自身终止时置位, 例如, 当 CommandReg 从其他任何指令改变到空闲指令。 如果一个未知指令启动, 则 CommandReg 寄存器的 Command 的值为空闲状态且 IdleIRq 位置位。微控器启动 Idle 指令并不会使 IdleIRq 位置位。
3	HiAlertIRq	Status1Reg 寄存器的 HiAlert 置位时该位置位。和 HiAlert 位相反, HiAlertIRq 位保存着此事件并只能由此寄存器的 Set1 位复位。
2	LoAlertIRq	Status1Reg 寄存器的 LoAlert 置位时该位置位和 LoAlert 位相反, LoAlertIRq 位保存着此事件并只能由此寄存器的 Set1 位复位。
1	ErrIRq	ErrorReg 寄存器的任何 error 位被置位时该位置位。
0	TimerIRq	寄存器 TCounterValReg 中的定时值减至 0 时该位置位。

3.3.1.6 DivIRqReg 寄存器

中断请求位。

表 41. DivIRqReg 寄存器 (地址 05h) ; 复位值: x0h

位	7	6	5	4	3	2	1	0
符号	Set2	0		SiginActIRq	ModeIRq	CRCIRq	RFOnIRq	RFOffIRq
访问类型	w	RFU		dy	dy	dy	dy	dy

表 42. DivIRqReg 寄存器位的描述

DivIRqReg 寄存器的所有位都可以由软件清零。

位	符号	描述
7	Set2	设置为 1 时, 置位 DivIRqReg 寄存器中标记的位。 设置为 0 时, 清除 DivIRqReg 寄存器中标记的位。
6-5	-	保留

4	SignActIRq	SIGIN 有效时，该位置 1。当检测到一个信号的上升沿或者下降沿时置位此中断位。
3	ModeIRq	当数据格式检测器检测到模式时，该位置 1。 注：数据格式检测器只能被 AutoColl 指令激活，且检测到通信模式时自动终止。 注：在每次 RF 场重置后，数据格式检测器自动重启。
2	CRCIRq	当 CRC 指令有效且所有数据检查完毕时，该位置 1。
1	RFOnIRq	当检测到一个外部 RF 场时，该位置 1。
0	RFOffIRq	当当前的外部 RF 场关闭时，该位置 1。

3.3.1.7 ErrorReg 寄存器

显示上一个指令执行的错误状态。

表 43. ErrorReg 寄存器（地址 06h）；复位值：00h

位	7	6	5	4	3	2	1	0
符号	WrErr	TempErr	RFErr	BufferOvf1	CollErr	CRCErr	ParityErr	Protocol Err
访问类型	r	r	r	r	r	r	r	r

表 44. ErrorReg 寄存器位的描述

位	符号	描述
7	WrErr	在 AutoColl 指令执行期间，或在 RF 接口发送完最后一位和接收完最后一位期间，主控制器往 FIFO 写数据时，该位置 1。
6	TempErr ^[1]	内部温度传感器检测出超温时该位置位。在此情况下天线驱动器自动关闭。
5	RFErr	在主动式通信模式中，匹配设备没有如 NFCIP-1 标准中那样及时打开 RF 场。该位置 1。 注：该位仅在主动式通信模式中使用。RxFraming 或 TxFraming 位必须设置为 01 才能激活该功能。
4	BufferOvf1	如果 FIFO 缓冲器已满，但主机或 MS512 的内部状态机（如接收器）还向里面写数据，则该位置位。
3	CollErr	检查出一个位冲突时该位置位。在接收器启动阶段自动清零。该位只在 106kbit 通信速率的位防冲突机制有效。在 212 和 424kbit 通信协议下通常设置为 1。
2	CRCErr	RxModeReg 寄存器的 RxCRCEn 位置位且 CRC 计算错误，则该位置位。在接收器启动阶段自动清零。
1	ParityErr	奇偶校验错误时该位置位。在接收器启动阶段自动清零。只有在 106kbit 的 ISO/IEC 14443A 或 NFCIP-1 通信中有效。

0	ProtocolErr	若以下其中一种情况发生时，该位置 1： •SOF 错误时该位置位。在接收器启动阶段自动清零。仅在 106bit 的主动式和被动式通信模式有效。 •在 FeliCa 或主动式通信速率高于 106kbit 期间，且 ModeReg 寄存器中的 DetectSync 位设置为 1，若一个字节长度违反协议，则该位置 1。 •在 AutoColl 指令期间，若 ControlReg 寄存器中的 Initiator 位设置为 1，则该位置 1。 •若密勒解码器检测到 2 个脉冲小于 ISO/IEC 14443A 中定义的最小时间，则该位置 1。
---	-------------	---

[1] 执行相应的指令时除 TempErr 之外的所有错误位都将清零。该位不能通过软件置位。

3.3.1.8 Status1Reg 寄存器

包含 CRC、中断和 FIFO 缓冲器的通信状态位。

表 45. Status1Reg 寄存器（地址 07h）；复位值：21h

位	7	6	5	4	3	2	1	0
符号	RFFreqOK	CRCOk	CRCReady	IRq	TRunning	RFOn	HiAlert	LoAlert
访问类型	r	r	r	r	r	r	r	r

表 46. Status1Reg 寄存器位的描述

位	符号	描述
7	RFFreqOK	指示 RX 管脚上检测到的频率是否在 13.56MHz 范围内。 若 RX 管脚上检测到的频率在 12MHz–15MHz 范围内，该位置 1。 注：若外部 RF 场的频率在 9–12MHz 或 15–19MHz 范围内，则 RFFreqOK 位的值没有定义。
6	CRCOk	CRC 结果为 0 时该位置位。发送和接收数据时，CRCOk 位的值不确定（使用 ErrorReg 寄存器的 CRCErr 位）。指示 CRC 协处理器的状态，在计算过程中其值变为 0；当计算正确执行后其值变为 1。
5	CRCReady	CRC 计算完成后该位置位。只在执行 CalcCRC 指令的 CRC 计算中有效。
4	IRq	显示任何中断源的请求还需注意中断使能位的设置：详见寄存器 ComIEnReg 和 DivIEnReg。
3	TRunning	MS512 的定时器运行时，该位置位。即定时器以寄存器 TCounterValReg 中的值随下个定时器时钟递减。 注：在门控模式下，当寄存器 TModeReg 的 TGated 位使能定时器时，TRunning 位置位；该位不受门控信号的影响。
2	RFOn	检测到外部 RF 场，该位置位。不保存 RF 场的状态。
1	HiAlert	当 FIFO 缓冲器中保存的字节数满足下面的等式时，该位置位。 $\text{HiAlert} = (64 - \text{FIFO Length}) \leq \text{WaterLevel}$ 例如： FIFO Length=60, WaterLevel=4→HiAlert=1 FIFO Length=59, WaterLevel=4→HiAlert=0

0	LoAlert	当 FIFO 缓冲器中保存的字节数满足下面的等式时，该位置位。 $\text{LoAlert} = \text{FIFO Length} \leq \text{WaterLevel}$ 例如： FIFO Length=4, WaterLevel=4→LoAlert=1 FIFO Length=5, WaterLevel=4→LoAlert=0
---	---------	--

3.3.1.9 Status2Reg 寄存器

接收器、发送器和数据格式检测器的状态位。

表 47. Status2Reg 寄存器（地址 08h）；复位值：00h

位	7	6	5	4	3	2 1 0
符号	TempSensClear	I ² CForceHS	0	TargetActivated	Crypto10n	ModemState
访问类型	r/w	r/w	RFU	dy	dy	r

表 48. Status2Reg 寄存器位的描述

位	符号	描述
7	TempSensClear	当温度低于 125℃ 极限报警值时，该位设置为 1 后，可清除温度错误。
6	I ² CForceHS	I ² C 输入滤波器设置。设置为 1 时，I ² C 输入滤波器设置成与 I ² C 协议无关的高速模式。设置为 0 时，I ² C 输入滤波器设置成使用的 I ² C 协议。
5	—	保留
4	TargetActivated	若 Select 指令或 Polling 指令被响应，该位置位。 注：仅在被动式通信模式的 AutoColl 指令期间，该位可被设置。 注：当外部 RF 场关闭该位自动清零。
3	Crypto10n	表示 Crypto1 单元打开，和卡通信时的所有的数据被加密。 只在 ISO/IEC 14443A 卡的读写器模式中有效。可通过软件来清零。
2-0	ModemState[2:0]	显示发送器和接收器状态机的状态。
		值 描述
		000 空闲
		001 等待 BitFramingReg 寄存器中的 StartSend 位设置
		010 TxWait：如果 TModeReg 寄存器的 TxWaitRF 位置 1 时则一直等待到 RF 场产生为止。TxWait 的最短时间由 TxWaitReg 寄存器确定。
		011 发送
		100 RxWait：如果 TModeReg 寄存器的 TxWaitRF 位置 1 时则一直等待到 RF 场产生为止。RxWait 的最短时间由 RxWaitReg 寄存器确定。
		101 等待数据
		110 接收

3.3.1.10 FIFODataReg 寄存器

64 字节 FIFO 缓冲器输入和输出。

表 49. FIFODataReg 寄存器（地址 09h）；复位值：xxh

位	7	6	5	4	3	2	1	0
符号	FIFOData							
访问类型	dy							

表 50. FIFODataReg 寄存器位的描述

位	符号	描述
7-0	FIFOData	内部 64 字节的 FIFO 缓冲器的数据输入和输出端口。FIFO 缓冲器用作所有输入和输出数据流的并行输入/并行输出转换器。

3.3.1.11 FIFOLevelReg 寄存器

显示 FIFO 缓冲器已存储字节的数量。

表 51. FIFOLevelReg 寄存器（地址 0Ah）；复位值：00h

位	7	6	5	4	3	2	1	0
符号	FlushBuffer	FIFOLevel						
访问类型	w	r						

表 52. FIFOLevelReg 寄存器位的描述

位	符号	描述
7	FlushBuffer	该位置位时，内部 FIFO 缓冲器的读和写指针以及寄存器 ErrReg 的 BufferOvf1 位立刻被清除。读取该位时返回值总为 0。
6-0	FIFOLevel	指示 FIFO 缓冲器中保存的字节数。向 FIFODataReg 寄存器写数据时，FIFOLevel 的值递增，从 FIFODataReg 寄存器读数据时，FIFOLevel 的值递减。

3.3.1.12 WaterLevelReg 寄存器

FIFO 缓冲器已存储字节的数量。

表 53. WaterLevelReg 寄存器（地址 0Bh）；复位值：08h

位	7	6	5	4	3	2	1	0
符号	0		WaterLevel					
访问类型	RFU		r/w					

表 54. WaterLevelReg 寄存器位的描述

位	符号	描述
7-6	reserved	保留
5-0	WaterLevel	定义一个 FIFO 缓冲器上溢和下溢报警深度： 如果 FIFO 缓冲器剩余的空间少于或等于 WaterLevel 中定义的值，则 Status1Reg 寄存器的 HiAlert 位置位。 如果 FIFO 缓冲器数据所用的空间少于或等于 WaterLevel 中定义的值，则 Status1Reg 寄存器的 LoAler 位置位。 注：通过计算可确定 HiAlert 和 LoAlert 中的值。

3.3.1.13 ControlReg 寄存器

各种控制位。

表 55. ControlReg 寄存器（地址 0Ch）；复位值：10h

位	7	6	5	4	3	2	1	0
符号	TStopNow	TStartNow	WrNFCIDtoFIFO	Initiator	0	RxLastBits		
访问类型	w	w	dy	r/w	RFU	r		

表 56. ControlReg 寄存器位的描述

位	符号	描述
7	TStopNow	设置为 1 时，定时器立即停止。 读取该位时返回值为 0。
6	TStartNow	设置为 1 时，定时器立即启动。 读取该位时返回值为 0。
5	WrNFCIDtoFIFO	内部存储的 NFCID（10 字节）被复制到 FIFO 时，该位置 1。 随后自动清零。
4	Initiator	设置为 1 时，MS512 作为一个主设备，反之则为目标设备。
3	–	保留
2–1	RxLastBits	表示最后接收字节的有效位的个数。如果该值 000b，则整个字节都是有效的。

3.3.1.14 BitFramingReg 寄存器

面向位的帧的调节。

表 57. BitFramingReg 寄存器（地址 0Dh）；复位值：00h

位	7	6	5	4	3	2	1	0
符号	StartSend	RxAlign			0	TxLastBits		
访问类型	w	r/w			RFU	r/w		

表 58. BitFramingReg 寄存器位的描述

位	符号	描述
7	StartSend	设置为 1 时，启动数据发送。 只在 Transceive 指令执行时有效。
6–4	RxAlign	用于面向位的帧的接收：定义数据接收的第一个位在 FIFO 中存储的位置。其他接收的数据存储在后面的位。 例如： RxAlign=0：接收到的 LSB 位存放在位 0，接收到的第 2 位存放在位 1。 RxAlign=1：接收到的 LSB 位存放在位 1，接收到的第 2 位存放在位 2。 RxAlign=7：接收到的 LSB 位存放在位 7，接收到的第 2 位存放在下个字节的位 0 的位置。 仅在 106kbit 的被动式通信模式中，用于防冲突。在其他模式下应该设置为 0。
3	reserved	保留
2–1	TxLastBits	用于面向位的帧的发送：定义发送的最后一个字节的位数。000b 表示最后一个字节的所有位都被发送。

3.3.1.15 CollReg 寄存器

定义 RF 接口上检测到的第一个位冲突。

表 59. CollReg 寄存器（地址 0Eh）；复位值：xxh

位	7	6	5	4	3	2	1	0
符号	ValuesAfterColl	0	CollPosNotValid	CollPos				
访问类型	r/w	RFU	r	r				

表 60. CollReg 寄存器位的描述

位	符号	描述
7	ValuesAfterColl	若该位设置为 0，则所有接收的位在冲突后将被清除。只有在 106kbit 防冲突过程中使用，其它情况下该位设置成 1。
6	–	保留
5	CollPosNotValid	若没有检测到冲突或产生冲突的位在 CollPos 范围之外，该位置位。仅在 106kbit 的被动式通信模式或 ISO/IEC 14443A 读写器模式下，该位有效。
4-0	CollPos	显示接收到帧中检测到的第一个冲突的位的位置，只对数据位说明。 例如： 00h 表示位冲突在第 32 位 01h 表示位冲突在第 1 位 08h 表示位冲突在第 8 位 如果 CollPosNotValid 位为 0，那么这些位仅在 106kbit 的被动式通信模式或 ISO/IEC 14443A 读写器模式中才能被识别。

3.3.1.16 保留寄存器 0Fh

保留为将来之用。

表 61. Reserved 寄存器（地址 0Fh）；复位值：00h

位	7	6	5	4	3	2	1	0
符号	0							
访问类型	RFU							

表 62. Reserved 寄存器位的描述

位	符号	描述
7-0	–	保留

3.3.2 Page 1: 通信

3.3.2.1 PageReg 寄存器

选择页寄存器。

表 63. 页寄存器（地址 10h）；复位值：00h

位	7	6	5	4	3	2	1	0
符号	UsePageSelect	0					PageSelect	
访问类型	r/w	RFU					r/w	

表 64. 页寄存器位的描述

位	符号	描述
7	UsePageSelect	设置为 1 时，PageSelect 的值作为寄存器地址 A5 和 A4。寄存器地址的低位由各自的地址管脚或内部地址锁存。 设置为 0 时，所有的内部地址锁存数据定义地址寄存器。地址管脚的使用见 2.1.1 节“自动检测微控制器接口类型”。
6-2	–	保留
1-0	PageSelect	在 UsePageSelect 位置 1 时，该值有效。该情况下，规定了寄存器页（寄存器地址的 A5 和 A4）。

3.3.2.2 ModeReg 寄存器

定义发送和接收通用模式的设置。

表 65. ModeReg 寄存器（地址 11h）；复位值：3Bh

位	7	6	5	4	3	2	1 0
符号	MSBFirst	Detect Sync	TxWaitRF	RxWaitRF	PolSignin	ModeDet Off	CRCPreset
访问类型	r/w	r/w	r/w	r/w	r/w	r/w	r/w

表 66. ModeReg 寄存器位的描述

位	符号	描述										
7	MSBFirst	设置为 1 时，CRC 协处理器器从 MSB 位开始计算。在 CRCResultReg 寄存器中 CRCResultMSB 和 CRCResultLSB 的值反转。 注：RF 通信时忽略此位。										
6	DetectSync	设置为 1 时，在接收器激活之前，非接触式 UART 等待 F0h，且 F0h 作为一个同步字节添加在发送中。 该位仅在 106kbit 的 NFCIP-1 的数据交换处理中有效。 其他所有模式都应设置为 0。										
5	TxWaitRF	设置为 1 时，若 RF 场产生，则在读写器模式或 NFCIP-1 的主设置模式下发送器启动。										
4	RxWaitRF	设置为 1 时，若在 NFCIP-1 的目标模式或卡通信模式中检测到一个外部 RF 场，则用于发送等待的计数器开始工作。										
3	PolSignin	定义 SIGIN 管脚的极性。设置为 1 时，SIGNIN 管脚高电平有效。设置为 0 时，SIGNIN 管脚低电平有效。 注：内部编码的包络信号低电平有效。 注：改变该位将产生一个 SignActIRq 事件。										
2	ModeDetOff	设置为 1 时，关闭内部格式检测器。 注：格式检测器仅在 AutoColl 指令期间激活。										
1-0	CRCPreset	定义 CRC 协处理器执行 CalcCRC 指令的预置值。 注：在任何通信期间，自动根据 RxMode 和 TxMode 位的定义选择预置值。										
		<table><tr><th>值</th><th>描述</th></tr><tr><td>00</td><td>0000h</td></tr><tr><td>01</td><td>6363h</td></tr><tr><td>10</td><td>A671h</td></tr><tr><td>11</td><td>FFFFh</td></tr></table>	值	描述	00	0000h	01	6363h	10	A671h	11	FFFFh
值	描述											
00	0000h											
01	6363h											
10	A671h											
11	FFFFh											

3.3.2.3 TxModeReg 寄存器

定义发送过程的数据速率和帧格式。

表 67. TxModeReg 寄存器（地址 12h）；复位值：00h

位	7	6	5	4	3	2	1	0
符号	TxCRCEn	TxSpeed			InvMod	TxMix	TxFraming	
访问类型	r/w	dy			r/w	r/w	r/w	

表 68. TxModeReg 寄存器位的描述

位	符号	描述
---	----	----

7	TxCRCEn	设置为 1 时，在数据发送过程中产生 CRC。 注：在 106kbit 时，该位只能设置为 0。	
6-4	TxSpeed	定义数据发送的位速率。	
		值	描述
		000	106 kbit
		001	212 kbit
		010	424 kbit
		011	848 kbit
		100	1696 kbit
		101	3392 kbit
		110	保留
		111	保留
		注：传输速率高于 424 kbit 的位编码和 424 kbit 主动式通信模式的位编码一致（Ecma 340）。	
3	InvMod	设置为 1 时，发送调制数据反相。	
2	TxMix	设置为 1 时，SIGIN 上的信号和内部编码混合（见“S ² C 接口支持”）。	
1-0	TxFraming	定义用于发送数据的帧格式。	
		值	描述
		00	ISO/IEC 14443A 和 106kbit 的被动式通信模式
		01	主动式通信模式
		10	FeliCa 和 212、424kbit 的被动式通信模式
		11	ISO/IEC 14443B

3.3.2.4 RxModeReg 寄存器

定义发送过程的数据速率和帧格式。

表 69. RxModeReg 寄存器（地址 13h）；复位值：00h

位	7	6	5	4	3	2	1	0
符号	RxCRCEn	RxSpeed			RxNoErr	RxMultiple	RxFraming	
访问类型	r/w	dy			r/w	r/w	dy	

表 70. RxModeReg 寄存器位的描述

位	符号	描述
7	RxCRCEn	设置为 1 时，在数据接收过程中产生 CRC。 注：在 106kbit 时，该位只能设置为 0。
6-4	RxSpeed	定义数据接收的位速率。 MS512 模拟部分支持的传输速率最高 424 kbit，数字 UART 接口还支持更高的传输速率。
		值 描述
		000 106 kbit
		001 212 kbit
		010 424 kbit
		011 848 kbit

		100	1696 kbit
		101	3392 kbit
		110	保留
		111	保留
		注：传输速率高于 424 kbit 的位编码和 424 kbit 主动式通信模式的位编码一致（Ecma 340）。	
3	RxNoErr	设置为 1 时，忽略接收到的一个无效数据流（接收到的数据小于 4 位）且接收器仍然保持有效。 对于 ISO/IEC 14443B，且 RxSOFReq 位为 1，才能忽略一个无效的数据流。	
2	RxMultiple	设置为 0 时，接收器在接收到一帧数据后停止接收。 设置为 1 时，可以连续接收多帧数据。在设置该位后 Receive 和 Transceive 指令的运行将不会自动终止。可通过向寄存器 CommandReg 中写入任何指令 (Receive 指令除外) 或由主机清零该位来停止连续的接收。 在一个接收数据流的结尾，一个错误字节增加到 FIFO 中。错误字节来自 ErrorReg 寄存器。	
1-0	RxFraming	定义接收数据的帧格式。	
		值	描述
		00	ISO/IEC 14443A 和 106kbit 的被动式通信模式
		01	主动式通信模式
		10	FeliCa 和 212、424kbit 的被动式通信模式
		11	ISO/IEC 14443B

3.3.2.5 TxControlReg 寄存器

控制天线驱动器管脚 TX1 和 TX2 的逻辑状态。

表 71. TxControlReg 寄存器（地址 14h）；复位值：80h

位	7	6	5	4	3	2	1	0
符号	InvTx2RF On	InvTx1RF On	InvTx2RF Off	InvTx1RF Off	Tx2CW	CheckRF	Tx2RF En	Tx1RF En
访问类型	r/w	r/w	r/w	r/w	r/w	w	r/w	r/w

表 72. TxControlReg 寄存器位的描述

位	符号	描述
7	InvTx2RF0n	设置为 1，当驱动器 TX2 使能时 TX2 上的输出信号反相。
6	InvTx1RF0n	设置为 1，当驱动器 TX1 使能时 TX1 上的输出信号反相。
5	InvTx2RF0ff	设置为 1，当驱动器 TX2 禁用时 TX2 上的输出信号反相。
4	InvTx1RF0ff	设置为 1，当驱动器 TX1 禁用时 TX1 上的输出信号反相。
3	Tx2CW	设置为 1 时，TX2 管脚持续输出未调制的 13.56MHz 能量载波。 设置为 0 时，Tx2CW 使能调制 13.56MHz 的能量载波信号。
2	CheckRF	设置为 1 时，若检测到外部 RF 场，则不能设置 Tx2RFEn 和 Tx1RFEn。与 Tx2RFEn 和 Tx1RFEn 联合使用下有效。

1	Tx2RFEn	设置为 1 时，TX2 管脚持续输出经发送数据调制的 13.56MHz 能量载波。
0	Tx1RFEn	设置为 1 时，TX1 管脚持续输出经发送数据调制的 13.56MHz 能量载波。

3.3.2.6 TxAutoReg 寄存器

控制发送调制的设置。

表 73. TxAutoReg 寄存器（地址 15h）；复位值：00h

位	7	6	5	4	3	2	1	0
符号	AutoRF OFF	Force100 ASK	Auto WakeUp	0	CAOn	InitialRF On	Tx2RFAuto En	Tx1RFAuto En
访问类型	r/w	r/w	r/w	RFU	r/w	r/w	r/w	r/w

表 74. TxAutoReg 寄存器位的描述

位	符号	描述
7	AutoRFOFF	设置为 1 时，在发送完 NFCIP-1 定义的最后一位后关闭所有激活的天线驱动器。
6	Force100ASK	设置为 1 时，强制进行 100%ASK 的调制，它独立于 ModGsPReg 寄存器的设置。
5	AutoWakeUp	设置为 1 时，在软掉电模式中的 MS512 会被 RF 检测器激活。
4	–	保留
3	CAOn	设置为 1 时，激活防碰撞，且内部值根据 NFCIP-1 标准设置。
2	InitialRFOn	设置为 1 时，若 RF 场打开，执行初始 RF 防碰撞，且该位自动清零。 注：驱动器必须由 Tx2RFAutoEn 或 Tx1RFAutoEn 位使能激活。
1	Tx2RFAutoEn	设置为 1 时，在外部 RF 场关闭后经过 TADT 时间，Tx2 驱动器打开。当 InitialRFOn 位和 Tx2RFAutoEn 都设置为 1 时，若在 TIDT 时间内未检测到外部 RF 场，则 Tx2 打开。 注：TADT 和 TIDT 时间由 NFCIP-1 标准定义（ISO/IEC 18092）。
0	Tx1RFAutoEn	设置为 1 时，在外部 RF 场关闭后经过 TADT 时间，Tx1 驱动器打开。当 InitialRFOn 位和 Tx1RFAutoEn 都设置为 1 时，若在 TIDT 时间内未检测到外部 RF 场，则 Tx1 打开。 注：TADT 和 TIDT 时间由 NFCIP-1 标准定义（ISO/IEC 18092）。

3.3.2.7 TxSelReg 寄存器

选择模拟模块的内部信号源。

表 75. TxSelReg 寄存器（地址 16h）；复位值：10h

位	7	6	5	4	3	2	1	0
符号	0		DriverSel				SigOutSel	
访问类型	RFU		r/w				r/w	

表 76. TxSelReg 寄存器位的描述

位	符号	描述
7-6	–	保留
5-4	DriverSel	选择驱动器 Tx1 和 Tx2 的输入。

		值	描述
		00	三态 注：如果 DriverSel 设置成三态模式，则在软掉电中驱动器只能处于三态模式。
		01	来自内部编码器的调制信号（包络）。
		10	来自管脚 SIGIN 的调制信号（包络）
		11	高电平 注：高电平取决于 InvTx1RFOn/InvTx1RFOff 和 InvTx2RFOn/InvTx2RFOff 位的设置。
3-0	SigOutSel	选择管脚 SIGOUT 的输入。	
		值	描述
		0000	三态
		0001	低电平
		0010	高电平
		0011	由 TestSel1Reg 寄存器中 TstBusBitSel 位的值定义的测试总线信号。
		0100	来自内部编码器的调制信号（包络）。
		0101	发送串行数据流。
		0110	输出接收电路的信号（重新生成和延迟的卡调制信号）。该信号作为 SAM 接口的数据输出信号。 注：为得到有效的信号，MS512 必须由 Transceive 或 Receive 指令设置为接收状态。RxMultiple 位可用来使 MS512 保持接收状态。 注：在 ISO/IEC 14443A 模式中不要使用该设置。曼彻斯特编码中的数据碰撞一样将不会发送到 SIGOUT 线上。
		0111	接收到的串行数据流。 注：在 ISO/IEC 14443A 模式中不要使用该设置。密勒编码参数中的位长会改变。
		1000-1011	FeliCa SAM 调制 1000 RX* 1001 TX 1010 解调器比较器输出 1011 RFU 注：*为得到有效的信号，MS512 必须由 Transceive 或 Receive 指令设置为接收状态。RxMultiple 位可用来使 MS512 保持接收状态。

		1100-1111	ISO/IEC 14443A SAM 调制 1000 带 RF 载波的 RX* 1001 带 RF 载波的 TX 1010 带 RF 载波未经滤波的 RX 1011 未经滤波的 RX 包络 注：*为得到有效的信号，MS512 必须由 Transceive 或 Receive 指令设置为接收状态。RxMultiple 位可用来使 MS512 保持接收状态。
--	--	-----------	---

3.3.2.8 RxSelReg 寄存器

选择模拟模块的内部信号源。

表 77. RxSelReg 寄存器（地址 17h）；复位值：84h

位	7	6	5	4	3	2	1	0
符号	UARTSel			RxWait				
访问类型	r/w			r/w				

表 78. RxSelReg 寄存器位的描述

位	符号	描述
7-6	UARTSel	选择非接触式 UART 的输入
		值 描述
		00 低电平
		01 SIGIN 管脚上的包络信号
		10 来自内部模拟电路的调制信号
		11 来自 SIGIN 管脚的调制信号。只有在传输速率大于 424kbit 时有效
5-0	RxWait	数据发送后，接收器在启动前有一段 RxWait 的位时间延迟。在这段‘帧保护时间’内，忽略 RX 管脚上的所有信号。Receive 指令可忽略此参数。其它所有指令（如 Transceive, Autocoll），都使用该参数。根据 MS512 的模式，计数器启动方式不同。被动式通信模式，计数器在发送数据流的最后一个脉冲后启动。主动式通信模式，在外部 RF 场打开后计数器立即启动。

3.3.2.9 RxThresholdReg 寄存器

选择位解码器的阈值。

表 79. RxThresholdReg 寄存器（地址 18h）；复位值：84h

位	7	6	5	4	3	2	1	0
符号	MinLevel				0	CollLevel		
访问类型	r/w				RFU	r/w		

表 80. RxThresholdReg 寄存器位的描述

位	符号	描述
7-4	MinLevel	定义解码器输入的最小信号的强度。如果信号强度小于该值则不进行处理。
3	-	保留

2-0	CollLevel	定义解码器输入的最小信号强度，曼彻斯特编码信号的弱半位必须达到这个强度，来产生与较强半位的幅度相关的一个位冲突。
-----	-----------	--

3.3.2.10 DemodReg 寄存器

定义解调器的设置。

表 81. DemodReg 寄存器（地址 19h）；复位值：4Dh

位	7	6	5	4	3	2	1	0
符号	AddIQ	FixIQ	TPrescalEven	TauRcv	TauSync			
访问类型	r/w	r/w	r/w	r/w	r/w			

表 82. DemodReg 寄存器位的描述

位	符号	描述
7-6	AddIQ	定义接收过程中 I 和 Q 通道的使用。 注：要能使如下的设置，FixIQ 位必须为 0。
		值 描述
		00 选择较强的信号通道。
		01 选择较强的信号通道并在通信期间固定所选择的通道。
		10 结合 I 和 Q 通道
		11 保留
5	FixIQ	如果该位设置为 1, 且 AddIQ 设置为 x0b, 则接收器选择 I 通道。 如果该位设置为 1, 且 AddIQ 设置为 x1b, 则接收器选择 Q 通道。 注：若 SIGIN/SIGOUT 作为 S ² C 接口，FixIQ 设置为 1 和 AddIQ 设置为 x0 需要重新设。
4	TPrescalEven	设置为 0 时，下面的公式用来计算预分频器的定时器的频率： $f_{\text{timer}} = 13.56\text{MHz} / (2 * \text{TPreScaler} + 1)$ 。 设置为 1 时，下面的公式用来计算预分频器的定时器的频率： $f_{\text{timer}} = 13.56\text{MHz} / (2 * \text{TPreScaler} + 2)$ 。 (TPrescalEven 位的默认值为 0)
3-2	TauRcv	在数据接收过程中改变内部 PLL 的时间常数。 注：如果设置为 00b, 在数据接收时 PLL 被锁定。
1-0	TauSync	在突发过程中改变内部 PLL 的时间常数。

3.3.2.11 Fe1NFC1Reg 寄存器

定义 FeliCa 同步字节的长度和接收包的最小长度。

表 83. Fe1NFC1Reg 寄存器（地址 1Ah）；复位值：00h

位	7	6	5	4	3	2	1	0
符号	Fe1SyncLen		DataLenMin					
访问类型	r/w		r/w					

表 84. Fe1NFC1Reg 寄存器位的描述

位	符号	描述
7-6	Fe1SyncLen	定义同步字节的长度。
		值 同步字节 (hex)
		00 B2 4D
		01 00 B2 4D

		10	00 00 B2 4D
		11	00 00 00 B2 4D
5-0	DataLenMin	这些位定义接收数据包的最小长度： $\text{DataLenMin} \times 4 \leq \text{数据包长度}$ 若 ModeReg 寄存器中的 DetectSync 位设置为 0，则在 106kbit 下忽略该参数。若接收数据包的长度小于 DataLenMin 定义的值，则忽略该数据包。	

3.3.2.12 Fe1NFC2Reg 寄存器

定义接收包的最大长度。

表 85. Fe1NFC2Reg 寄存器（地址 1Bh）；复位值：00h

位	7	6	5	4	3	2	1	0
符号	WaitForSelected	ShortTimeSlot	DataLenMax					
访问类型	r/w	r/w	r/w					

表 86. Fe1NFC2Reg 寄存器位的描述

位	符号	描述
7	WaitForSelected	设置为 1，仅当以下情况发生时，AutoColl 自动终止： 1. 根据 ISO/IEC 14443A 执行完一个 Select 过程后，接收到一个有效的指令。 2. 根据 FeliCa 标准执行完一个 Polling 过程后，接收到一个有效的指令。 注：若该位置位，则可能会产生无效的通信。 注：在被动式通信模式中，该位置位可减小主控制器和其他设备在相同 RF 场中通信的相互作用。
6	ShortTimeSlot	定义 424kbit 速率下被动式通信模式的时隙长度。设置为 1 时，使用一个短时隙（212kbit 时隙的一半）。设置为 0 时，使用一个长时隙（212kbit 时隙）。
5-0	DataLenMax	这些位定义接收数据包的最大长度： $\text{DataLenMin} \times 4 \geq \text{数据包长度}$ 注：若设置为 0，则数据最大长度为 256 字节。 若 ModeReg 寄存器中的 DetectSync 位设置为 0，则在 106kbit 下忽略该参数。若接收数据包的长度小于 DataLenMin 定义的值，则忽略该数据包。

3.3.2.13 MifNFCReg 寄存器

定义在目标设备或卡工作模式下 ISO/IEC 14443/NFC 具体设置。

表 87. MifNFCReg 寄存器（地址 1Ch）；复位值：62h

位	7	6	5	4	3	2	1	0
符号	SensMiller			TauMiller		MFHalted	TxWait	
访问类型	r/w			r/w		r/w	r/w	

表 88. MifNFCReg 寄存器位的描述

位	符号	描述
7-5	SensMiller	定义密勒解码器的灵敏度。

4-3	TauMiller	定义密勒解码器的时间常数。
2	MFHalted	设置为 1 时，在 106kbit 卡操作模式下，指示 MS512 进入 HALT 状态。该位可由主控制器或内部状态机设置，并指示只有接收 52h 作为需要的指令。RF 复位后该位自动清零。
1-0	TxWait	定义接收和发生之间的最小响应时间。寄存器值+7 个数据位。 最短的最小响应时间应该是 7 个数据位 (TxWait=0)。最小响应时间可根据 TxWait 的值增加。最长的最小响应时间应该是 10 个数据位 (TxWait=3)。 若一帧数据的传输在最小响应时间结束前开始，MS512 等待发送数据直到最小响应时间结束。 若一帧数据的传输在最小响应时间结束后开始，数据位同步正确，则数据帧立即发送（可与 TxBitPhase 一起调整）。

3.3.2.14 ManualRCVReg 寄存器

允许对内部接收器手动细调。

表 89. ManualRCVReg 寄存器（地址 1Dh）；复位值：00h

位	7	6	5	4	3	2	1 0
符号	0	FastFilt MF_S0	Delay MF_S0	Parity Disable	LargeBW PLL	Manual HPCF	HPCF
访问类型	RFU	r/w	r/w	r/w	r/w	r/w	r/w

表 90. ManualRCVReg 寄存器位的描述

位	符号	描述
7	–	保留
6	FastFiltMF_S0	若该位设置为 1，则用于密勒延迟电路的内部滤波器进入快速模式。 注：若密勒脉冲宽度小于 400ns，则该位必须设置为 1。106kbit 下的典型值为 3us。
5	DelayMF_S0	若该位设置为 1，SIGOUT 管脚上的信号延迟。因此在 SAM 模式，SIGN 上的信号为比 ISO/IEC 14443A 的 128/fc 快，在 RF 场上已达到 ISO/IEC 14443A 的约束。 注：该延迟仅在 TxSelReg 寄存器中的 SigOutSel 设置为 (1110b) 或 (1111b) 时有效。
4	ParityDisable	设置为 1 时，数据传输时禁止生成奇偶位且在数据接收时也禁止奇偶校验。接收到的奇偶位作为数据位来处理。
3	LargeBWPLL	设置为 1 时，增加用于时钟恢复的内部 PLL 带宽。
2	ManualHPCF	设置为 0 时，忽略 HPFC 位且 HPCF 设置自动适应于接收模式。设置为 1 时，HPCF 位有效。
1-0	HPCF	选择内部接收器链中滤波器的高通角频率（HPCF） 00 信号频谱降至 106kHz 01 信号频谱降至 212kHz 10 信号频谱降至 424kHz 11 信号频谱降至 848kHz

3.3.2.15 TypeBReg 寄存器

表 91. TypeBReg 寄存器（地址 1Eh）；复位值：00h

位	7	6	5	4	3	2	1 0
符号	RxSOF Req	RxEOF Req	0	EOFSOF Width	NoTxSOF	NoTxEOF	TxEgt
访问类型	r/w	r/w	RFU	r/w	r/w	r/w	r/w

表 92. TypeBReg 寄存器位的描述

位	符号	描述										
7	RxSOFReq	若该位设置为 1，需要 SOF。忽略无 SOF 的数据流。 若该位设置为 0，有或无 SOF 的数据流都会被接收。SOF 会被去掉且不写入 FIFO。										
6	RxEOFReq	若该位设置为 1，需要 SOF。无 EOF 的数据流将产生一个协议错误。若该位设置为 0，有或无 EOF 的数据流都会被接收。EOF 会被去掉且不写入 FIFO。										
5	–	保留										
4	EOFSOFWidth	若该位设置为 1 且 EOFSOFAdjust 位设置为 0，根据 ISO/IEC 14443B 定义 SOF 和 EOF 为最大长度。 若该位设置为 0 且 EOFSOFAdjust 位设置为 0，根据 ISO/IEC 14443B 定义 SOF 和 EOF 为最小长度。 若该位设置为 1 且 EOFSOFAdjust 位设置为 1： SOF 低电平=(11 etu – 8 cycles)/fc SOF 高电平=(2 etu + 8 cycles)/fc EOF 低电平=(11 etu – 8 cycles)/fc 若该位设置为 0 且 EOFSOFAdjust 位设置为 1，将会产生一个不符合 ISO 标准的系统错误。										
3	NoTxSOF	若该位设置为 1，不生成 SOF。										
2	NoTxEOF	若该位设置为 1，不生成 EOF。										
1–0	TxEgt	定义 EGT 的长度。 <table><tr><th>值</th><th>描述</th></tr><tr><td>00</td><td>无</td></tr><tr><td>01</td><td>2 位</td></tr><tr><td>10</td><td>4 位</td></tr><tr><td>11</td><td>6 位</td></tr></table>	值	描述	00	无	01	2 位	10	4 位	11	6 位
值	描述											
00	无											
01	2 位											
10	4 位											
11	6 位											

3.3.2.16 SerialSpeedReg 寄存器

选择串行 UART 接口的速率。

表 93. SerialSpeedReg 寄存器（地址 1Fh）；复位值：EBh

位	7 6 5	4 3 2 1 0
符号	BR_T0	BR_T1[4:0]
访问类型	r/w	r/w

表 94. SerialSpeedReg 寄存器位的描述

位	符号	描述
7-5	BR_T0	BR_T0 用来调整传输速率。

4-0	BR_T1	BR_T1 用来调整传输速率。
-----	-------	-----------------

3.3.3 Page 2: 配置

3.3.3.1 PageReg 寄存器

选择页寄存器。

表 95. 页寄存器（地址 20h）；复位值：00h

位	7	6	5	4	3	2	1	0
符号	UsePageSelect	0					PageSelect	
访问类型	r/w	RFU					r/w	

表 96. 页寄存器位的描述

位	符号	描述
7	UsePageSelect	设置为 1 时，PageSelect 的值作为寄存器地址 A5 和 A4。寄存器地址的低位由各自的地址管脚或内部地址锁存。 设置为 0 时，所有的内部地址锁存数据定义地址寄存器。地址管脚的使用见 2.1.1 节“自动检测微控制器接口类型”。
6-2	—	保留
1-0	PageSelect	在 UsePageSelect 位置 1 时，该值有效。该情况下，规定了寄存器页（寄存器地址的 A5 和 A4）。

3.3.3.2 CRCResultReg 寄存器

显示 CRC 计算后的 MSB 和 LSB 的值。

注：CRC 被分割成两个 8 位的寄存器。

表 97. CRCResultReg（高位）寄存器（地址 21h）；复位值：FFh

位	7	6	5	4	3	2	1	0
符号	CRCResultMSB							
访问类型	r							

表 98. CRCResultReg 寄存器位的描述

位	符号	描述
7-0	CRCResultMSB	显示寄存器 CRCResultReg 高字节的实际值。只有当 Status1Reg 寄存器的 CRCReady 位置位时有效。

表 99. CRCResultReg（低位）寄存器（地址 22h）；复位值：FFh

位	7	6	5	4	3	2	1	0
符号	CRCResultLSB							
访问类型	r							

表 100. CRCResultReg 寄存器位的描述

位	符号	描述
7-0	CRCResultLSB	显示寄存器 CRCResultReg 高字节的实际值。只有当 Status1Reg 寄存器的 CRCReady 位置位时有效。

3.3.3.3 GsNOffReg 寄存器

保留为将来之用。

表 101. GsNOffReg 寄存器（地址 23h）；复位值：88h

位	7	6	5	4	3	2	1	0
符号	CWGsNOff				ModGsNOff			

访问类型	r/w	r/w
------	-----	-----

表 102. GsNOffReg 寄存器位的描述

位	符号	描述
7-4	CWGsNOff	定义非调制期间 N 输出驱动管的电导。 注：电导值用二进制数来计量。 注：在软掉电模式下，最高位强制为 1。 注：仅在关闭驱动器时，该位有效。否则使用 GsNOnReg 寄存器中的 CWGsNOn。 注：该寄存器用于负载调制。
3-0	ModGsNOff	定义调制期间 N 输出驱动管的电导。可用于控制调制指数。 注：电导值用二进制数来计量。 注：在软掉电模式下，最高位强制为 1。 注：仅在关闭驱动器时，该位有效。否则使用 GsNOnReg 寄存器中的 ModGsNOn。 注：该寄存器用于负载调制。

3.3.3.4 ModWidthReg 寄存器

设置调制宽度。

表 103. ModWidthReg 寄存器（地址 24h）；复位值：26h

位	7	6	5	4	3	2	1	0
符号	ModWidth							
访问类型	r/w							

表 104. ModWidthReg 寄存器位的描述

位	符号	描述
7-0	ModWidth	定义在主动式和被动式通信模式下，主设备的米勒调制的宽度为载波频率的 (ModWidth+1) 倍。最大值为半个位周期。 在 106kbit 被动式通信模式作为目标设备或 ISO/IEC 14443A 的卡操作模式中，用于改变副载波频率的占空比。 载波周期个数根据下列公式计算： 低值：#clocksLOW = (ModWidth modulo 8) + 1 高值：#clocksHIGH = 16 - #clocksLOW

2.3.3.5 TxBitPhaseReg 寄存器

调整在 106kbit 传输过程中的位相位。

表 105. TxBitPhaseReg 寄存器（地址 25h）；复位值：87h

位	7	6	5	4	3	2	1	0
符号	RcvClkChange	TxBitPhase						
访问类型	r/w	r/w						

表 106. TxBitPhaseReg 寄存器位的描述

位	符号	描述
7	RcvClkChange	设置为 1 时，解调器的时钟由外部 RF 场驱动。

6-0	TxBitPhase	表示载波时钟周期的个数，加在所有通信模式发送前的等待时间。 TxBitPhase 用于调整 106kbit 的 NFCIP-1 被动式通信模式和 ISO/IEC 14443A 卡模式中 TX 的位同步。
-----	------------	--

3.3.3.6 RFCfgReg 寄存器

配置接收器增益和 RF 检测器灵敏度。

表 107. RFCfgReg 寄存器（地址 26h）；复位值：48h

位	7	6	5	4	3	2	1	0
符号	RFLLevelAmp	RxGain			RFLevel			
访问类型	r/w	r/w			r/w			

表 108. RFCfgReg 寄存器位的描述

位	符号	描述
7	RFLLevelAmp	设置为 1 时，激活 RF 检测器中的放大器。
6-4	RxGain	定义接收器信号电压增益系数：
		值 描述
		000 18dB
		001 23dB
		010 18dB
		011 23dB
		100 33dB
		101 38dB
		110 43dB
		111 48dB
3-0	RFLevel	定义 RF 检测器的灵敏度。

3.3.3.7 GsN0nReg 寄存器

当驱动器开启时，定义天线驱动器 TX1 和 TX2 为 N 驱动器时的电导。

表 109. GsN0nReg 寄存器（地址 27h）；复位值：88h

位	7	6	5	4	3	2	1	0
符号	CWGsN0n				ModGsN0n			
访问类型	r/w				r/w			

表 110. GsN0nReg 寄存器位的描述

位	符号	描述
7-4	CWGsn0n	定义 N 驱动器输出端非调制期间的电导。可用来调整输出功率，电流消耗和操作距离。 注：电导值用二进制数来计量。 注：在软掉电模式下最高位强制为 1。 注：只有在驱动器 TX1 和 TX2 开启时此值才有效。否则使用 GsN0ffReg 寄存器中的 CWGsN0ff 位。

3-0	ModGsNOn	定义 N 驱动器输出端调制期间的电导，可用来调整调制系数。 注：电导值用二进制数来计量。 注：在软掉电模式下最高位强制为 1。 注：只有在驱动器 TX1 和 TX2 开启时此值才有效。否则使用 GsNOffReg 寄存器中的 ModsNOff 位。
-----	----------	---

3.3.3.8 CWGsPReg 寄存器

定义 P 驱动器输出端非调制时的电导。

表 111. CWGsPReg 寄存器（地址 28h）；复位值：20h

位	7	6	5	4	3	2	1	0
符号	0		CWGsP					
访问类型	RFU		r/w					

表 112. CWGsPReg 寄存器位的描述

位	符号	描述
7-6	—	保留
5-0	CWGsP	定义 P 驱动器输出端的电导，可用来调整输出功率，电流消耗和操作距离。 注：电导值用二进制数来计量。 注：在软掉电模式下最高位强制为 1。

3.3.3.9 ModGsPReg 寄存器

定义 P 驱动器输出端调制时的电导。

表 113. ModGsPReg 寄存器（地址 29h）；复位值：20h

位	7	6	5	4	3	2	1	0
符号	0		ModGsP					
访问类型	RFU		r/w					

表 114. ModGsPReg 寄存器位的描述

位	符号	描述
7-6	—	保留
5-0	ModGsP	定义 P 驱动器输出端在调制时的电导，可用来调整调制指数。 注：电导值用二进制数来计量。 注：在软掉电模式下最高位强制为 1。 即使 TxASKReg 寄存器的 Force100ASK 位置为 1 也不会对 ModGsP 的值产生影响。

3.3.3.10 TModeReg 和 TPrescalerReg 寄存器

这些寄存器定义定时器的设置。

注：TmodeReg 寄存器中的 Tprescaler 设置预分频器高 4 位的值，TPrescalerReg 寄存器设置预分频器低 8 位的值。

表 115. TModeReg 寄存器（地址 2Ah）；复位值：00h

位	7	6	5	4	3	2	1	0
符号	TAuto	TGated		TAutoRestart	TPrescaler_Hi			
访问类型	r/w	r/w		r/w	r/w			

表 116. TModeReg 寄存器位的描述

位	符号	描述
7	TAuto	如果设置为 1，在所有通信速率的数据传输结束后，或 InitialRFOn 位置 1 时 RF 场打开后，定时器自动启动。 在 106kbit 的 ISO 14443 B 模式下，如果 RxModeReg 寄存器的 RxMultiple 位没有置位，则在接收到第 5 位数据(1 个起始位，4 个数据位)后定时器立即停止运行。 如果 RxMultiple 位置位，则定时器将不会停止。在这种情况下只能通过设置 ControlReg 寄存器 TStopNow 位为 1 来停止定时器。 设置为 0 时，定时器不受此寄存器的影响。
6-5	TGated	内部定时器工作在门控模式。
		注：在门控模式下，当定时器被寄存器 TmodeReg 的 TGated 位使能时，Status1Reg 寄存器中的 TRunning 位被置位。该位不会影响门控信号。
		值 描述
		00 非门控模式
		01 管脚 SIGIN 用作门控信号
4	TAutoRestart	设置为 1 时，定时器自动重新从 16 位定时器重新加载的值开始递减计数。
		设置为 0 时，定时器递减计数到 0 且 ComIRQReg 寄存器的 TimerIRQ 位置 1。
3-0	TPrescaler_Hi	定义 TPrescaler 的高 4 位。 若 DemodReg 寄存器中的 TPrescalEven 位设置为 0，利用下面的公式计算定时器频率： $f_{\text{timer}} = 13.56\text{MHz} / (2 * \text{TPreScaler} + 1)$ 其中 TPreScaler=[TPrescaler_Hi:TPrescaler_Lo] (TPreScaler 的值为 12 位) (TPrescalEven 位默认值为 0) 若 DemodReg 寄存器中的 TPrescalEven 位设置为 1，利用下面的公式计算定时器频率： $f_{\text{timer}} = 13.56\text{MHz} / (2 * \text{TPreScaler} + 2)$

表 117. TPrescalerReg 寄存器（地址 2Bh）；复位值：00h

位	7	6	5	4	3	2	1	0
符号	TPrescaler_Lo							
访问类型	r/w							

表 118. TPrescalerReg 寄存器位的描述

位	符号	描述
---	----	----

7-0	TPrescaler_Lo	定义 TPrescaler 的低 8 位。 若 DemodReg 寄存器中的 TPrescalEven 位设置为 0，利用下面的公式计算定时器频率： $f_{\text{timer}} = 13.56\text{MHz} / (2 * \text{TPreScaler} + 1)$ 其中 TPreScaler=[TPrescaler_Hi:TPrescaler_Lo]（TPreScaler 的值为 12 位）（TPrescalEven 位默认值为 0） 若 DemodReg 寄存器中的 TPrescalEven 位设置为 1，利用下面的公式计算定时器频率： $f_{\text{timer}} = 13.56\text{MHz} / (2 * \text{TPreScaler} + 2)$
-----	---------------	--

3.3.3.11 TReloadReg 寄存器

定义定时器的 16 位重装值。

注：重装值分别放在两个 8 位的寄存器里。

表 119. TReloadReg（高位）寄存器（地址 2Ch）；复位值：00h

位	7	6	5	4	3	2	1	0
符号	TReloadVal_Hi							
访问类型	r/w							

表 120. TReloadReg 寄存器位的描述

位	符号	描述
7-0	TReloadVal_Hi	定义定时器 16 位重装值的高 8 位。 当一个启动事件发生时，重装值装入定时器。改变该寄存器只在下次启动事件发生时影响定时器。

表 121. TReloadReg（低位）寄存器（地址 2Dh）；复位值：00h

位	7	6	5	4	3	2	1	0
符号	TReloadVal_Lo							
访问类型	r/w							

表 122. TReloadReg 寄存器位的描述

位	符号	描述
7-0	TReloadVal_Lo	定义定时器 16 位重装值的低 8 位。 当一个启动事件发生时，重装值装入定时器。改变该寄存器只在下次启动事件发生时影响定时器。

3.3.3.12 TCounterValReg 寄存器

定时器的当前值。

注：定时器的当前值分别放在两个 8 位的寄存器里。

表 123. TCounterValReg（高位）寄存器（地址 2Eh）；复位值：xxh

位	7	6	5	4	3	2	1	0
符号	TCounterVal_Hi							
访问类型	r							

表 124. TCounterValReg 寄存器位的描述

位	符号	描述
7-0	TCounterVal_Hi	定时器当前值的高 8 位。

表 125. TCounterValReg（低位）寄存器（地址 2Fh）；复位值：xxh

位	7	6	5	4	3	2	1	0
符号	TCounterVal_Lo							
访问类型	r							

表 126. TCounterValReg 寄存器位的描述

位	符号	描述
7-0	TCounterVal_Lo	定时器当前值的低 8 位。

3.3.4 Page 3: 测试

3.3.4.1 PageReg 寄存器

选择页寄存器。

表 127. 页寄存器（地址 30h）；复位值：00h

位	7	6	5	4	3	2	1	0
符号	UsePageSelect	0					PageSelect	
访问类型	r/w	RFU					r/w	

表 128. 页寄存器位的描述

位	符号	描述
7	UsePageSelect	设置为 1 时，PageSelect 的值作为寄存器地址 A5 和 A4。寄存器地址的低位由各自的地址管脚或内部地址锁存。 设置为 0 时，所有的内部地址锁存数据定义地址寄存器。地址管脚的使用见 2.1.1 节“自动检测微控制器接口类型”。
6-2	—	保留
1-0	PageSelect	在 UsePageSelect 位置 1 时，该值有效。该情况下，规定了寄存器页（寄存器地址的 A5 和 A4）。

3.3.4.2 TestSel1Reg 寄存器

通用测试信号的配置。

表 129. TestSel1Reg 寄存器（地址 31h）；复位值：00h

位	7	6	5	4	3	2	1	0
符号	—		SAMClockSel		SAMClkD1		TstBusBitSel	
访问类型	r/w		r/w		r/w		r/w	

表 130. TestSel1Reg 寄存器位的描述

位	符号	描述
7-6	—	保留
5-4	SAMClockSel	定义 SAM 的 13.56MHz 时钟来源
		值 描述
		00 地-关闭 SAM 时钟
		01 来自内部振荡器的时钟
		10 内部 UART 时钟
3	SAMClkD1	设置为 1 时，SAM 时钟传输到 D1 管脚。 注：不使用 8 位并行接口时有效。
2-0	TstBusBitSel	管脚 SIGOUT 上选择一个测试总线的信号。

3.3.4.3 TestSel2Reg 寄存器

通用测试信号的配置和 PRBS 控制。

表 131. TestSel2Reg 寄存器（地址 32h）；复位值：00h

位	7	6	5	4	3	2	1	0
符号	TstBusFlip	PRBS9	PRBS15	TestBusSel				
访问类型	r/w	r/w	r/w	r/w				

表 132. TestSel2Reg 寄存器位的描述

位	符号	描述
7	TstBusFlip	设置为 1 时，测试总线按照下面的顺序映射到并行端口： D4, D3, D2, D6, D5, D0, D1。
6	PRBS9	根据 ITU-T0150 来启动和使能 PRBS9 序列。 注：在进入 PRBS9 模式前必须配置好所有与发送数据相关的寄存器。 注：定义序列的数据发送通过 Transmit 指令启动。
5	PRBS15	根据 ITU-T0150 来启动和使能 PRBS15 序列。 注：在进入 PRBS15 模式前必须配置好所有与发送数据相关的寄存器。 注：定义序列的数据发送通过 Transmit 指令启动。
4-0	TestBusSel	选择测试总线。

3.3.4.4 TestPinEnReg 寄存器

使能测试总线管脚的输出驱动器。

表 133. TestPinEnReg 寄存器（地址 33h）；复位值：80h

位	7	6	5	4	3	2	1	0
符号	RS232LineEn	TestPinEn						
访问类型	r/w	r/w						

表 134. TestPinEnReg 寄存器位的描述

位	符号	描述
7	RS232LineEn	设置为 0 时，禁止串行 UART 中 MX 和 DTRQ。
6-0	TestPinEn	使能 8 位并行接口上的管脚输出驱动器。 例如： 置位位 0 使能 D0 管脚输出。 置位位 5 使能 D5 管脚输出。 注：仅在一种串行接口使用中有效。 如果使用 SPI 接口，则只有管脚 D0-D4 可以使用。如果使用串行 UART 接口且 RS232LineEn 位置为 1，则只有管脚 D0-D4 可以使用。

3.3.4.5 TestPinValueReg 寄存器

定义测试端口 D1-D7 用作 I/O 口时的值。

表 135. TestPinValueReg 寄存器（地址 34h）；复位值：00h

位	7	6	5	4	3	2	1	0
符号	UseIO	TestPinValue						
访问类型	r/w	r/w						

表 136. TestPinValueReg 寄存器位的描述

位	符号	描述
7	UseIO	设置为 1 时，当使用其中一个串行接口时使能测试端口的 I/O 功能。 输入/输出特性由 TestPinEnReg 寄存器的 TestPinEn 的值定义。输出值由 TestPinValue 定义。 注：若 SAMClkD1 位设置为 1，则 D1 脚不能作为 I/O。
6-1	TestPinValue	当测试端口作为 I/O 口使用时，定义它的值且每个输出端口必须通过 TestPinEnReg 寄存器的 TestPinEn 使能。 注：如果 UseIO 置为 1，则读取该寄存器的值就是管脚 D6-D0 的值。如果 UseIO 置为 0，则读回 TestPinValueReg 寄存器的值。

3.3.4.6 TestBusReg 寄存器

显示内部测试总线的状态。

表 137. TestBusReg 寄存器（地址 35h）；复位值：xxh

位	7	6	5	4	3	2	1	0
符号	TestBus							
访问类型	r							

表 138. TestBusReg 寄存器位的描述

位	符号	描述
7-0	TestBus	显示内部测试总线的状态。使用 TestSel2Reg 寄存器选择测试总线。

3.3.4.7 AutoTestReg 寄存器

控制数字自检。

表 139. AutoTestReg 寄存器（地址 36h）；复位值：40h

位	7	6	5	4	3	2	1	0
符号	0	AmpRcv	EOFSOF Adjust	-	SelfTest			
访问类型	RFT	r/w	r/w	RFU	r/w			

表 140. AutoTestReg 寄存器位的描述

位	符号	描述
7	-	保留用于生产测试。
6	AmpRcv	设置为 1 时，非线性接收器链中的内部信号的有效处理可以增加以 106kbit 速率通信时的操作距离。 注：由于是非线性的，所以 RxThresholdReg 寄存器的 MinLevel 和 CollLevel 的值也是非线性的。
5	EOFSOFAdjust	若该位设置为 0 且 EOFSOFwidth 位设置为 1，根据 ISO/IEC 14443B 定义 SOF 和 EOF 为最大长度。 若该位设置为 0 且 EOFSOFwidth 位设置为 0，根据 ISO/IEC 14443B 定义 SOF 和 EOF 为最小长度。 若该位设置为 1 且 EOFSOFwidth 位设置为 1： $SOF \text{ 低电平} = (11 \text{ etu} - 8 \text{ cycles}) / fc$ $SOF \text{ 高电平} = (2 \text{ etu} + 8 \text{ cycles}) / fc$ $EOF \text{ 低电平} = (11 \text{ etu} - 8 \text{ cycles}) / fc$
4	-	保留

3-0	SelfTest	使能数字自检。自检也可以由 CalcCRC 指令启动。1001b 使能自检。 注：默认操作时自检必须通过写入值 0000b 来禁止。
-----	----------	---

3.3.4.8 VersionReg 寄存器

显示 MS512 版本。

表 141. VersionReg 寄存器（地址 37h）；复位值：xxh

位	7	6	5	4	3	2	1	0
符号	Version							
访问类型	r							

表 142. VersionReg 寄存器位的描述

位	符号	描述
7-0	Version	显示值 ‘82h’

3.3.4.9 AnalogTestReg 寄存器

确定管脚 AUX1 和 AUX2. 输出的模拟测试信号及状态。

表 143. AnalogTestReg 寄存器（地址 38h）；复位值：00h

位	7	6	5	4	3	2	1	0
符号	AnalogSelAux1				AnalogSelAux2			
访问类型	r/w				r/w			

表 144. AnalogTestReg 寄存器位的描述

位	符号	描述
7-4	AnalogSelAux1	控制管脚 AUX1
		值 描述
		0000 三态
		0001 TestDAC1 的输出 (AUX1)，TestDAC2 的输出 (AUX2) ^[1]
		0010 测试信号 Corr1 ^[1]
		0011 测试信号 Corr2 ^[1]
		0100 测试信号 MinLevel ^[1]
		0101 测试信号 ADC_I ^[1]
		0110 测试信号 ADC_Q ^[1]
		0111 测试信号 ADC 的 I 路混合 Q 路 ^[1]
		1000 用于生产测试 ^[1]
		1001 SAM 时钟 (13.56MHz)
		1010 高电平
		1011 低电平
		1100 TxActive: 106kbit: 在起始位、数据位、奇偶位和 CRC 传输过程中为高电平 212 和 424kbit: 在头码、同步码、数据位和 CRC 传输过程为高电平
		1101 RxActive: 106kbit: 在数据位、奇偶位和 CRC 传输过程中为高电平 212 和 424kbit: 在数据位和 CRC 传输过程为高电平

		1110	副载波检测： 106kBd：不适用 212 和 424kbi：在头码、同步码、数据位和 CRC 传输过程为高电平
		1111	由 TestSel1Reg 寄存器的 TstBusBitSel 位定义测试总线位
3-0	AnalogSelAux2	控制管脚 AUX2（见 AUX1 的位描述）	

[1] 注：电流源输出；建议在 AUXn 管脚使用 510Ω 的下拉电阻。

3.3.4.10 TestDAC1Reg 寄存器

定义 TestDAC1 的测试值。

表 145. TestDAC1Reg 寄存器（地址 39h）；复位值：xxh

位	7	6	5	4	3	2	1	0
符号	reserved		TestDAC1					
访问类型	-		r/w					

表 146. TestDAC1Reg 寄存器位的描述

位	符号	描述
7	reserved	保留用于生产测试
6	reserved	保留
5-0	TestDAC1	定义 TestDAC1 的测试值。通过设置 AnalogTestReg 寄存器的 AnalogSelAux1 的值为 0001b 可以使 DAC1 的输出切换成 AUX1。

3.3.4.11 TestDAC2Reg 寄存器

定义 TestDAC2 的测试值。

表 147. TestDAC2Reg 寄存器（地址 3Ah）；复位值：xxh

位	7	6	5	4	3	2	1	0
符号	reserved		TestDAC2					
访问类型	-		r/w					

表 148. TestDAC2Reg 寄存器位的描述

位	符号	描述
7-6	reserved	保留
5-0	TestDAC2	定义 TestDAC2 的测试值。通过设置 AnalogTestReg 寄存器的 AnalogSelAux2 的值为 0001b 可以使 DAC2 的输出切换成 AUX2。

3.3.4.12 TestDAC2Reg 寄存器

显示 ADC 的 I 和 Q 通道的值。

表 149. TestDAC2Reg 寄存器（地址 3Bh）；复位值：xxh

位	7	6	5	4	3	2	1	0
符号	ADC_I				ADC_Q			
访问类型	r				r			

表 150. TestDAC2Reg 寄存器位的描述

位	符号	描述
7-4	ADC_I	ADC I 通道的值。
3-0	ADC_Q	ADC Q 通道的值。

3.3.4.13 保留寄存器 3Ch

功能保留用于生产测试。

表 151. Reserved 寄存器（地址 3Ch）；复位值：FFh

位	7	6	5	4	3	2	1	0
符号	RFT							
访问类型	-							

表 152. Reserved 寄存器位的描述

位	符号	描述
7-0	reserved	保留用于生产测试

表 153. Reserved 寄存器（地址 3Dh）；复位值：00h

位	7	6	5	4	3	2	1	0
符号	RFT							
访问类型	-							

表 154. Reserved 寄存器位的描述

位	符号	描述
7-0	reserved	保留用于生产测试

表 155. Reserved 寄存器（地址 3Eh）；复位值：03h

位	7	6	5	4	3	2	1	0
符号	RFT							
访问类型	-							

表 156. Reserved 寄存器位的描述

位	符号	描述
7-0	reserved	保留用于生产测试

表 157. Reserved 寄存器（地址 3Fh）；复位值：00h

位	7	6	5	4	3	2	1	0
符号	reserved							
访问类型	-							

表 158. Reserved 寄存器位的描述

位	符号	描述
7-0	reserved	保留用于生产测试

MS512 指令

4.1 概述

MS512 的运行状态是由能够执行一系列指令的内部状态机决定的。通过把指令代码写入 CommandReg 寄存器来执行相应的指令。

通过 FIFO 缓冲器来处理一个指令所需的参数和/或数据。

4.2 一般特性

- 每个需要输入数据流或（数据字节流）的指令会立即处理它在 FIFO 缓冲器中发现的数据。一个例外是 Transceive 指令。使用此指令，可通过设置 BitFraming 寄存器的 StartSend 位来启动传送器。

- 每个需要预先设置一些参数的指令只有当从 FIFO 缓冲器中接收到正确数量的参数时才开始运行。

- 当指令启动时 FIFO 缓冲器不会立即清零。这使得我们能够先把指令参数和数据写进 FIFO 缓冲器然后再启动指令。

- 每个指令都能被写进 CommandReg 寄存器中新的指令中断，例如，Idle 指令。

4.3 MS512 指令总览

表 159. 指令总览

指令	指令代码	含义
Idle	0000	无动作；取消当前执行的指令
Config	0001	用于配置 MS512 的 FeliCa 和 NFCIP-1 通信
Generate RandomID	0010	产生一个 10 字节的随机 ID 数据
CalcCRC	0011	激活 CRC 协处理器或执行自检
Transmit	0100	从 FIFO 缓冲器中发送数据
NoCmdChange	0111	不改变正在执行的指令，用来调整 CommandReg 寄存器中的一些位，例如 PowerDown 位
Receive	1000	激活接收器电路
Transceive	1100	将 FIFO 中的数据发送到天线并在发送后自动激活接收器
AutoColl	1101	允许 FeliCa 轮询（仅卡工作模式）和 ISO/IEC 14443A 防碰撞（仅卡工作模式）
SoftReset	1111	复位 MS512

4.3.1 MS512 指令描述

4.3.1.1 Idle

MS512 处于空闲模式。该指令自动终止。

4.3.1.2 Config

为了实现 ISO/IEC 14443A 自动防碰撞、FeliCa 轮询和 NFCID3，用于这些操作的数据必须存储在内部。所有的数据必须按照以下顺序写入 FIFO：

SENS_RES（2 个字节）：按顺序字节 0，字节 1

NFCID1（3 个字节）：按顺序字节 0，字节 1，字节 2；NFCID1 的第一个字节固定为 08h 且自动计算检查字节

SEL_RES（1 个字节）

轮询响应（2 个字节（必须为 01h，EFh）+6 个字节 NFCID2+8 个字节 Pad+2 个字节系统码）

NFCID3 (1 个字节)

共 25 个字节数据被传送到内部缓冲区。

完整的 NFCID3 有 10 字节，包含上面所列的 NFCID1 的 3 个字节，NFCID2 的 6 个字节和 NFCID3 的 1 个字节。

为了从内部缓冲区读出该配置，Config 指令必须在 FIFO 缓冲器为空时才能启动。这种情况下，25 个字节数据从内部缓冲区转移到 FIFO。

在每次上电后，执行自动防碰撞/轮询功能 (AutoColl 指令) 前，MS512 必须配置。硬掉电期间 (使用管脚 NRSTPD)，该配置保持不变。

当执行完后时，该指令自动终止且 Idle 指令激活。

4.3.1.3 Generate RandomID

该指令产生 10 个字节的随机数，最初存储在内部缓存区。然后，这会覆盖内部 25 个字节缓冲区中的 10 个字节。当执行完后时，该指令自动终止且 MS512 进入空闲模式。

4.3.1.4 CalcCRC

FIFO 缓冲器中的数据传输到 CRC 协处理器并执行 CRC 计算。计算结果存放在 CRCResultReg 寄存器中。CRC 计算并不局限于一些特定的字节。在数据流过程中当 FIFO 变成空时，计算也不会停止。写入 FIFO 缓冲器的下一个字节也被用于计算。

CRC 的预置值由寄存器 ModeReg 的 CRCPreset[1:0] 位设置。当指令开始时该值装入 CRC 协处理器。

该指令必须通过向 CommandReg 寄存器写入任何一个指令来终止，例如 Idle 指令。

如果 AutoTestReg 寄存器的 SelfTest[3:0] 位设置正确，则 MS512 进入自检模式。启动 CalcCRC 指令执行一次数字自检。自检的结果写入 FIFO 缓冲器。

4.3.1.5 Transmit

该指令启动后 FIFO 缓冲器中的数据立即开始发送。在发送之前，所有相关的寄存器必须被设置为数据发送。

当 FIFO 缓冲器中的内容为空时该指令自动终止。它也可以被写 CommandReg 寄存器中的另一个指令终止。

4.3.1.6 NoCmdChange

该指令不会影响 CommandReg 寄存器中正在执行任何的指令。它可以用来修改 CommandReg 寄存器中除 Command[3:0] 位之外的任何位，例如，RcvOff 位或 PowerDown 位。

4.3.1.7 Receive

MS512 激活接收器电路等待接收数据。在启动该指令之前必须正确设置相关的寄存器。

当数据流结束时该指令自动终止。根据所选帧的类型和速度，通过帧模式结束或长度字节来指示。

注：如果 RxModeReg 寄存器的 RxMultiple 位被置为 1，Receive 指令将不会自动终止。必须通过启动 CommandReg 寄存器中的其它指令来终止该指令。

4.3.1.8 Transceive

该指令不断重复发送 FIFO 缓冲器中的数据，并接收 RF 场的数据。第一个动作是发送，发送结束后指令变为接收数据流。

通过设置 BitFramingReg 寄存器中 StartSend 位为 1 来启动每次数据的发送。该指令必须向 CommandReg 寄存器写入其它任何指令来清除。

注：如果 RxModeReg 寄存器的 RxMultiple 位被置为 1，Transceive 指令就不会离开接收状态因为此状态不能自动取消。

4.3.1.9 AutoColl

在卡工作模式中，该指令自动运行 ISO/IEC 14443A 激活和 FeliCa 轮询。对于正确的操作，ControlReg 寄存器的 Initiator 位必须设置为 0。执行该指令期间，若 ModeReg 寄存器的 ModeDetOff 位不置 1，则格式检测器激活。在格式检测器检测到一种数据格式后，所有格式从属的寄存器根据接收到的数据进行设置。在无外部 RF 场的情况下，该指令复位内部状态机且返回到初始状态，但是没有终止。当该指令终止时，Transceive 指令激活。

在协议处理时，中断位是不支持的。仅最后一次接收的数据帧对中断位有效。TxCRCEn 和 RxCRCEn 位的处理与协议有所不同。在 ISO/IEC 14443A 有效期间，使能位根据 AutoColl 指令定义。在 TXModeReg 和 RXModeReg 寄存器中观察不到变化。在 Transceive 指令激活后，寄存器的值才有意义。

若状态机（防碰撞和选择）没有必须执行且检测到 106kBd 的速率，则无论 CRC 校验位是否校验和正确，FIFO 都会接收最后一个指令的两个 CRC 校验字节。

在 Felica 有效期间，寄存器位总是有效的且不受指令设置支配。该指令可通过软件程序向 CommandReg 寄存器中写入任何其它指令来清除，例如 Idle 指令。向 CommandReg 寄存器再写入一些内容可以复位状态机。

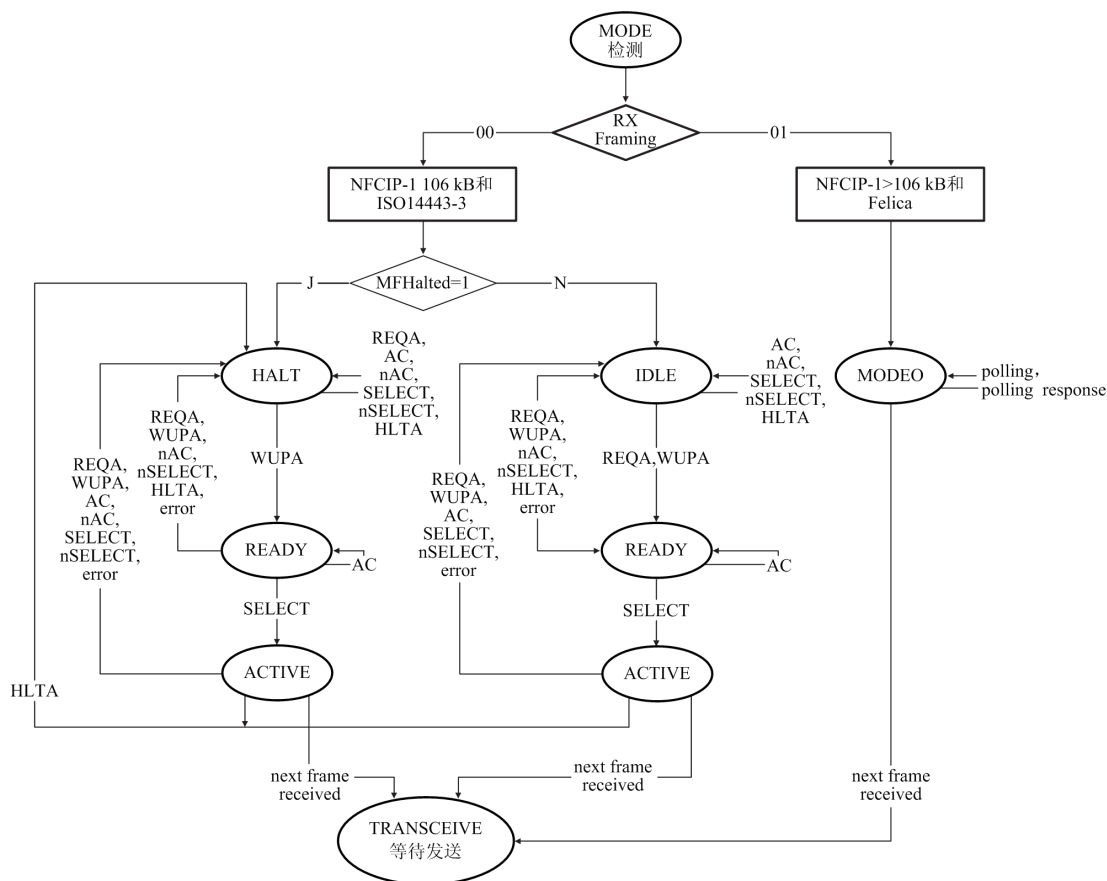


图 36. AutoColl 指令

NFCIP-1 106kbit 被动式通信模式：

执行完 ISO/IEC 14443A 防碰撞且指令自动转换成 Transceive。FIFO 存储了包含起始字节 F0h 的 ATR_REQ 帧。寄存器 Status2Reg 内的 TargetActivated 位被设置为 1。

NFCIP-1 212/424kbit 被动式通信模式：

执行完 FeliCa 轮询指令且指令自动转换成 Transceive。FIFO 存储了 ATR_REQ 帧。寄存器 Status2Reg 内的 TargetActivated 位被设置为 1。

NFCIP-1 106/212/424kbit 主动式通信模式：

该指令自动转换成 Transceive 指令。FIFO 存储了 ATR_REQ 帧。寄存器 Status2Reg 内的 TargetActivated 位被设置为 0。仅 106kbit，FIFO 中的第一个字节存储起始字节 F0h 且 CRC 也存储到 FIFO 中。

ISO/IEC 14443A（卡操作模式）：

执行完 ISO/IEC 14443A 防碰撞且指令自动转换成 Transceive。FIFO 存储了包含起始字节 F0h 的 ATR_REQ 帧。寄存器 Status2Reg 内的 TargetActivated 位被设置为 1。

FeliCa（卡操作模式）：

执行完 FeliCa 轮询指令且指令自动转换成 Transceive。根据 FeliCa 协议，FIFO 包含了轮询指令后的第一个指令。寄存器 Status2Reg 内的 TargetActivated 位被设置为 1。

4.3.1.10 SoftReset

此指令执行对器件的复位。内部缓冲区的数据保持不变，所有寄存器都设置成复位值。指令完成后自动终止。

注：由于 SerialSpeedReg 寄存器被复位，串行数据速率设置为 9.6kBd。

极限值

表 160. 极限值

按照绝对最大额定值系统（IEC 60134）

符号	参数	条件	最小值	最大值	单位
V_{DDA}	模拟电源		-0.5	+4.0	V
V_{DDD}	数字电源		-0.5	+4.0	V
$V_{DD(PVDD)}$	PVDD 电源		-0.5	+4.0	V
$V_{DD(TVDD)}$	TVDD 电源		-0.5	+4.0	V
$V_{DD(SVDD)}$	SVDD 电源		-0.5	+4.0	V
V_I	输入电压	除 TIN 和 RX 之外的所有输入管脚	$V_{SS(PVSS)}-0.5$	$V_{DD(PVDD)}-0.5$	V
		TIN 管脚	$V_{SS(PVSS)}-0.5$	$V_{DD(SVDD)}-0.5$	V
P_{tot}	总功耗	每个封装；在短路模式下的 V_{DDD}	-	200	mW
T_j	结温		-	125	°C
V_{ESD}	ESD 电压	HBM; 150Ω; 100pF; JESD22-A144-B	-	2000	V
		MM; 0.75μH; 200pF; JESD22-A144-A	-	200	V

推荐工作条件

表 161. 工作条件

符号	参数	条件	最小值	典型值	最大值	单位
V_{DDA}	模拟电源	$V_{DD(PVDD)} \leq V_{DDA} = V_{DDD} = V_{DD(TVDD)}$; [1][2] $V_{SSA} = V_{SSD} = V_{SS(PVSS)} = V_{SS(TVSS)} = 0V$	2.5	3.3	3.6	V
V_{DDD}	数字电源	$V_{DD(PVDD)} \leq V_{DDA} = V_{DDD} = V_{DD(TVDD)}$; [1][2] $V_{SSA} = V_{SSD} = V_{SS(PVSS)} = V_{SS(TVSS)} = 0V$	2.5	3.3	3.6	V
$V_{DD(TVDD)}$	TVDD 电源	$V_{DD(PVDD)} \leq V_{DDA} = V_{DDD} = V_{DD(TVDD)}$; [1][2] $V_{SSA} = V_{SSD} = V_{SS(PVSS)} = V_{SS(TVSS)} = 0V$	2.5	3.3	3.6	V
$V_{DD(PVDD)}$	PVDD 电源	$V_{DD(PVDD)} \leq V_{DDA} = V_{DDD} = V_{DD(TVDD)}$; [3] $V_{SSA} = V_{SSD} = V_{SS(PVSS)} = V_{SS(TVSS)} = 0V$	1.6	1.8	3.6	V
$V_{DD(SVDD)}$	SVDD 电源	$V_{SSA} = V_{SSD} = V_{SS(PVSS)} = V_{SS(TVSS)} = 0V$	1.6	-	3.6	V
T_{amb}	环境温度	QFN32, QFN40	-40	-	+100	°C

[1] 电源电压在 3V 以下会降低器件的性能（可实现的通讯距离）。

[2] V_{DDA} , V_{DDD} 和 $V_{DD(TVDD)}$ 必须是相同电压。

[3] $V_{DD(PVDD)}$ 应当总是等于或低于 V_{DDD} 。

特性

表 162. 特性

符号	参数	条件	最小值	典型值	最大值	单位
输入特性						
管脚 A0, A1 和 NRSTPD						
I_{LI}	输入漏电流		-1	-	+1	μA
V_{IH}	输入电压高电平		$0.7V_{DD(PVDD)}$	-	-	V
V_{IL}	输入电压低电平		-	-	$0.3V_{DD(PVDD)}$	V
管脚 SIGIN						
I_{LI}	输入漏电流		-1	-	+1	μA
V_{IH}	输入电压高电平		$0.7V_{DD(PVDD)}$	-	-	V
V_{IL}	输入电压低电平		-	-	$0.3V_{DD(PVDD)}$	V
管脚 ALE						
I_{LI}	输入漏电流		-1	-	+1	μA
V_{IH}	输入电压高电平		$0.7V_{DD(PVDD)}$	-	-	V
V_{IL}	输入电压低电平		-	-	$0.3V_{DD(PVDD)}$	V
管脚 RX ^[1]						
V_i	输入电压		-1	-	$V_{DDA} + 1$	V
C_i	输入电容	$V_{DDA}=3V$;接收器打开; $V_{RX(p-p)}=1V;1.5V(DC)$	-	10	-	pF
R_i	输入电阻	$V_{DDA}=3V$;接收器打开; $V_{RX(p-p)}=1V;1.5V(DC)$	-	350	-	Ω
输入电压范围						
$V_{i(p-p)(min)}$	输入电压最小峰峰值	曼彻斯特编码; $V_{DDA}=3V$	-	100	-	mV
$V_{i(p-p)(max)}$	输入电压最大峰峰值	曼彻斯特编码; $V_{DDA}=3V$	-	4	-	V
输入灵敏度						
V_{mod}	调制	最小曼彻斯特编码; $V_{DDA}=3V$; $RxGain[2:0]=111b(48dB)$	-	5	-	mV
管脚 OSCIN						
I_{LI}	输入漏电流		-1	-	+1	μA
V_{IH}	输入电压高电平		$0.7V_{DDA}$	-	-	V
V_{IL}	输入电压低电平		-	-	$0.3V_{DDA}$	V
C_i	输入电容	$V_{DDA}=2.8V$; DC=0.65V; AC=1V(p-p)	-	2	-	pF
输入/输出特性						
管脚 D1, D2, D3, D4, D5, D6 和 D7						
I_{LI}	输入漏电流		-1	-	+1	μA
V_{IH}	输入电压高电平		$0.7V_{DD(PVDD)}$	-	-	V

V _{IL}	输入电压低电平		-	-	0.3V _{DD(PVDD)}	V
V _{OH}	输出电压高电平	V _{DD(PVDD)} = 3V; I _O = 4mA	V _{DD(PVDD)} - 0.4	-	V _{DD(PVDD)}	V
V _{OL}	输出电压低电平	V _{DD(PVDD)} = 3V; I _O = 4mA	V _{SS(PVSS)}	-	V _{SS(PVSS)} + 0.4	V
I _{OH}	输出电流高电平	V _{DD(PVDD)} = 3V	-	-	4	mA
I _{OL}	输出电流低电平	V _{DD(PVDD)} = 3V	-	-	4	mA
输出特性						
管脚 SIGOUT						
V _{OH}	输出电压高电平	V _{DD(PVDD)} = 3V; I _O = 4mA	V _{DD(PVDD)} - 0.4	-	V _{DD(PVDD)}	V
V _{OL}	输出电压低电平	V _{DD(PVDD)} = 3V; I _O = 4mA	V _{SS(PVSS)}	-	V _{SS(PVSS)} + 0.4	V
I _{OH}	输出电流高电平	V _{DD(PVDD)} = 3V	-	-	4	mA
I _{OL}	输出电流低电平	V _{DD(PVDD)} = 3V	-	-	4	mA
管脚 IRQ						
V _{OH}	输出电压高电平	V _{DD(PVDD)} = 3V; I _O = 4mA	V _{DD(PVDD)} - 0.4	-	V _{DD(PVDD)}	V
V _{OL}	输出电压低电平	V _{DD(PVDD)} = 3V; I _O = 4mA	V _{SS(PVSS)}	-	V _{SS(PVSS)} + 0.4	V
I _{OH}	输出电流高电平	V _{DD(PVDD)} = 3V	-	-	4	mA
I _{OL}	输出电流低电平	V _{DD(PVDD)} = 3V	-	-	4	mA
管脚 AUX1 和 AUX2						
V _{OH}	输出电压高电平	V _{DD(PVDD)} = 3V; I _O = 4mA	V _{DD(PVDD)} - 0.4	-	V _{DD(PVDD)}	V
V _{OL}	输出电压低电平	V _{DD(PVDD)} = 3V; I _O = 4mA	V _{SS(PVSS)}	-	V _{SS(PVSS)} + 0.4	V
I _{OH}	输出电流高电平	V _{DD(PVDD)} = 3V	-	-	4	mA
I _{OL}	输出电流低电平	V _{DD(PVDD)} = 3V	-	-	4	mA
管脚 TX1 和 TX2						
V _{OH}	输出电压高电平	V _{DD(TVDD)} = 3V; I _{DD(TVDD)} = 32mA; CWGsP[5:0] = 3Fh	V _{DD(TVDD)} - 0.15	-	-	V
		V _{DD(TVDD)} = 3V; I _{DD(TVDD)} = 80mA; CWGsP[5:0] = 3Fh	V _{DD(TVDD)} - 0.4	-	-	V
		V _{DD(TVDD)} = 2.5V; I _{DD(TVDD)} = 32mA; CWGsP[5:0] = 3Fh	V _{DD(TVDD)} - 0.24	-	-	V
		V _{DD(TVDD)} = 2.5V; I _{DD(TVDD)} = 80mA; CWGsP[5:0] = 3Fh	V _{DD(TVDD)} - 0.64	-	-	V
V _{OL}	输出电压低电平	V _{DD(TVDD)} = 3V; I _{DD(TVDD)} = 32mA; CWGsP[5:0] = 0Fh	-	-	0.15	V
		V _{DD(TVDD)} = 3V; I _{DD(TVDD)} = 80mA; CWGsP[5:0] = 0Fh	-	-	0.4	V
		V _{DD(TVDD)} = 2.5V; I _{DD(TVDD)} = 32mA; CWGsP[5:0] = 0Fh	-	-	0.24	V
		V _{DD(TVDD)} = 2.5V; I _{DD(TVDD)} = 80mA; CWGsP[5:0] = 0Fh	-	-	0.64	V

消耗电流						
I _{pd}	掉电电流	V _{DDA} =V _{DDD} =V _{DD(TVDD)} = V _{DD(PVDD)} =3V				
		硬掉电; NRSTPD=LOW [2]	-	-	5	μA
		软掉电; RF 电平检测器打开 [2]	-	-	10	μA
I _{DDD}	数字电源电流	管脚 DVDD; V _{DDD} =3V	-	6.5	9	mA
I _{DDA}	模拟电源电流	管脚 AVDD; V _{DDA} =3V; CommandReg 寄存器的 RcvOff=0	-	7	10	mA
		管脚 AVDD; 接收器关闭 V _{DDA} =3V; CommandReg 寄存器的 RcvOff=1	-	3	5	mA
I _{DD(PVDD)}	PVDD 电源电流	管脚 PVDD [3]	-	-	40	mA
I _{DD(TVDD)}	TVDD 电源电流	管脚 TVDD;连续波 [4][5][6]	-	60	100	mA
I _{DD(SVDD)}	SVDD 电源电流	管脚 SVDD [7]	-	-	4	mA
时钟频率						
f _{clk}	时钟频率		-	27.12	-	MHz
δ _{clk}	占空比		40	50	60	%
t _{jit}	抖动时间	RMS	-	-	10	ps
晶振						
V _{OH}	输出电压高电平	管脚 OSCOUT	-	1.1	-	V
V _{OL}	输出电压低电平	管脚 OSCOUT	-	0.2	-	V
C _i	输入电容	管脚 OSCOUT	-	2	-	pF
		管脚 OSCIN	-	2	-	pF
典型输入要求						
f _{xtal}	晶振频率		-	27.12	-	MHz
ESR	等效串联电阻		-	-	100	Ω
C _L	负载电容		-	10	-	pF
P _{xtal}	晶振功耗		-	50	100	mW

- [1] 管脚 RX 上的电压被内部二极管钳位到管脚 AVSS 和 AVDD。
- [2] I_{pd} 为所有电源的总电流。
- [3] $I_{DD(PVDD)}$ 取决于数字引脚上的总负载。
- [4] $I_{DD(TVDD)}$ 取决于 $V_{DD(TVDD)}$ 和连接到管脚 TX1 和 TX2 上的外部电路。
- [5] 典型电路工作时，总电流低于 100mA。
- [6] 使用互补驱动器的典型值，在 13.56MHz 频率下管脚 TX1 和 TX2 阻抗值为 40 Ω 。
- [7] $I_{DD(SVDD)}$ 取决于管脚 SIGOUT 上的负载。

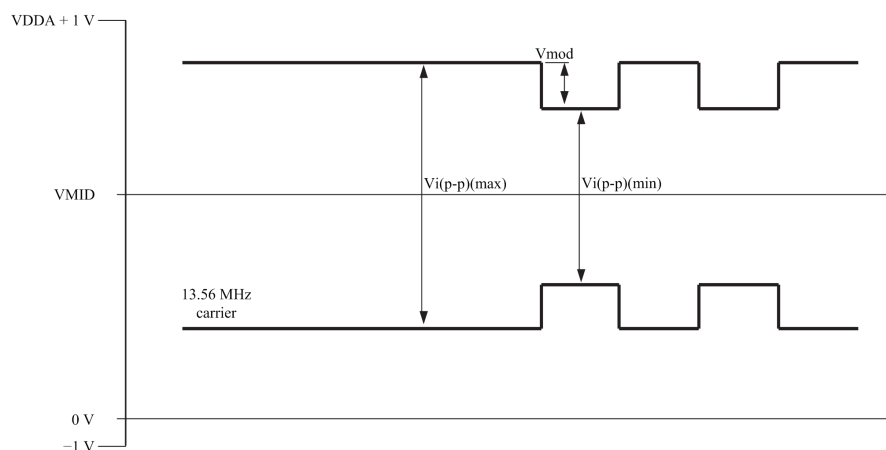


图 37. 管脚 RX 输入电压范围

5.1 时序特性

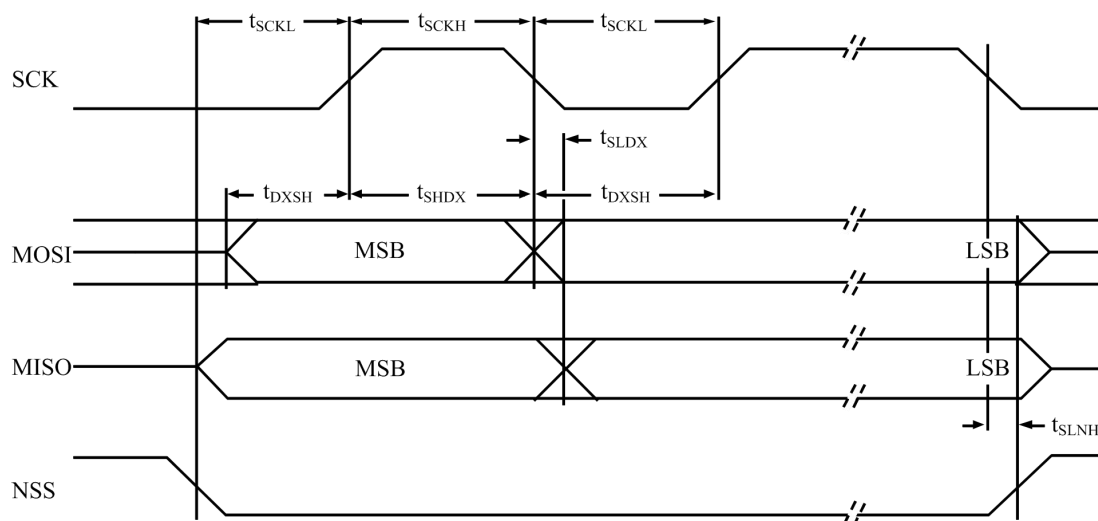
表 163. SPI 的时序特性

符号	参数	条件	最小值	典型值	最大值	单位
t_{WL}	低电平脉宽	SCK	50	-	-	ns
t_{WH}	高电平脉宽	SCK	50	-	-	ns
$t_{h(SCKH-D)}$	SCK 高电平到数据输入的保持时间	SCK 到变化的 MOSI	25	-	-	ns
$t_{su(D-SCKH)}$	数据输入到 SCK 高电平的建立时间	变化的 MOSI 到 SCK	25	-	-	ns
$t_{h(SCKL-Q)}$	SCK 低电平到数据输出的保持时间	SCK 到变化的 MISO	-	-	25	ns
$t_{(SCKL-NSSH)}$	SCK 低电平到 NSS 高电平的时间		0	-	-	ns
t_{NHNL}	通信前 NSS 高电平的时间		50	-	-	ns

表 164. 快速模式下 I²C 总线的时序

符号	参数	条件	快速模式		高速模式		单位
			最小值	最大值	最小值	最大值	
f_{SCL}	SCL 时钟频率		0	400	0	3400	kHz
$t_{HD;STA}$	保持时间（重复）起始条件	这个周期之后产生第一个时钟脉冲	600	-	160	-	ns
$t_{SU;STA}$	重复起始条件的建立时间		600	-	160	-	ns
$t_{SU;STO}$	停止条件的建立时间		600	-	160	-	ns
t_{LOW}	SCL 时钟低电平周期		1300	-	160	-	ns
t_{HIGH}	SCL 时钟高电平周期		600	-	160	-	ns
$t_{HD;DAT}$	数据保持时间		0	900	0	70	ns
$t_{SU;DAT}$	数据建立时间		100	-	10	-	ns

t_r	上升时间	SCL 信号	20	300	10	40	ns
t_f	下降时间	SCL 信号	20	300	10	40	ns
t_r	上升时间	SDA 和 SCL 信号	20	300	10	80	ns
t_f	下降时间	SDA 和 SCL 信号	20	300	10	80	ns
t_{BUF}	停止条件和起始条件之间的总线空闲时间		1.3	-	1.3	-	μs



Remark: The signal NSS must be LOW to be able to send several bytes in one data stream.
To send more than one data stream NSS must be HIGH between the data streams.

图 38. SPI 时序图

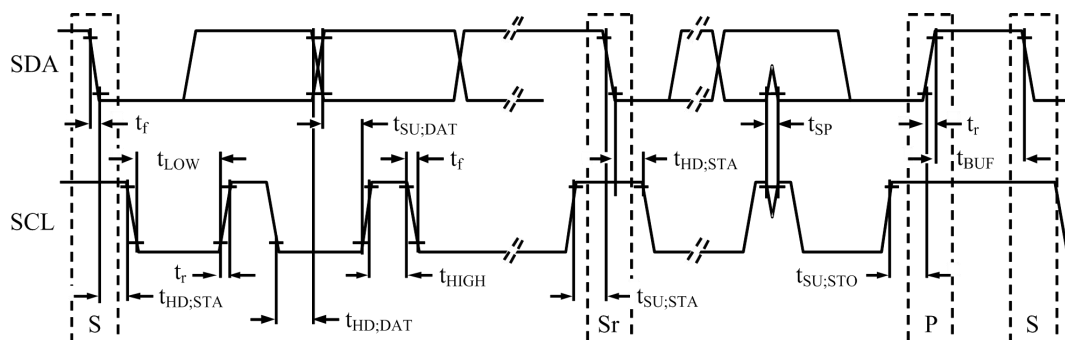


图 39. I²C 总线上快速和标准模式器件的时序

5.2 8 位并行接口时序特性

5.2.1 分离的读/写选通总线时序

表 165. 分离的读/写选通的时序特性

符号	参数	最小值	最大值	单位
t_{LHLL}	ALE 脉冲宽度	10	-	ns
t_{AVLL}	复用地址总线到 ALE 低电平有效（地址建立时间）	5	-	ns
t_{LLAX}	ALE 低电平后复用地址总线有效（地址保持时间）	5	-	ns
t_{LLWL}	ALE 低电平到 NWR, NRD 低电平	10	-	ns

t_{CLWL}	NCS 低电平到 NWR, NRD 低电平	0	-	ns
t_{WHCH}	NWR, NRD 高电平到 NCS 高电平	0	-	ns
t_{RLDV}	NRD 低电平到 DATA 有效	-	35	ns
t_{RHDZ}	NRD 高电平到 DATA 高阻	-	10	ns
t_{DVWH}	DATA 有效到 NWR 高电平	5	-	ns
t_{WHDX}	NWR 高电平后 DATA 保持（数据保持时间）	5	-	ns
t_{WLWH}	NWR, NRD 脉冲宽度	40	-	ns
t_{AVWL}	分离地址总线有效到 NWR, NRD 低电平（建立时间）	30	-	ns
t_{WHAX}	NWR 高电平后分离地址总线有效（保持时间）	5	-	ns
t_{WHWL}	读/写时序间的周期	40	-	ns

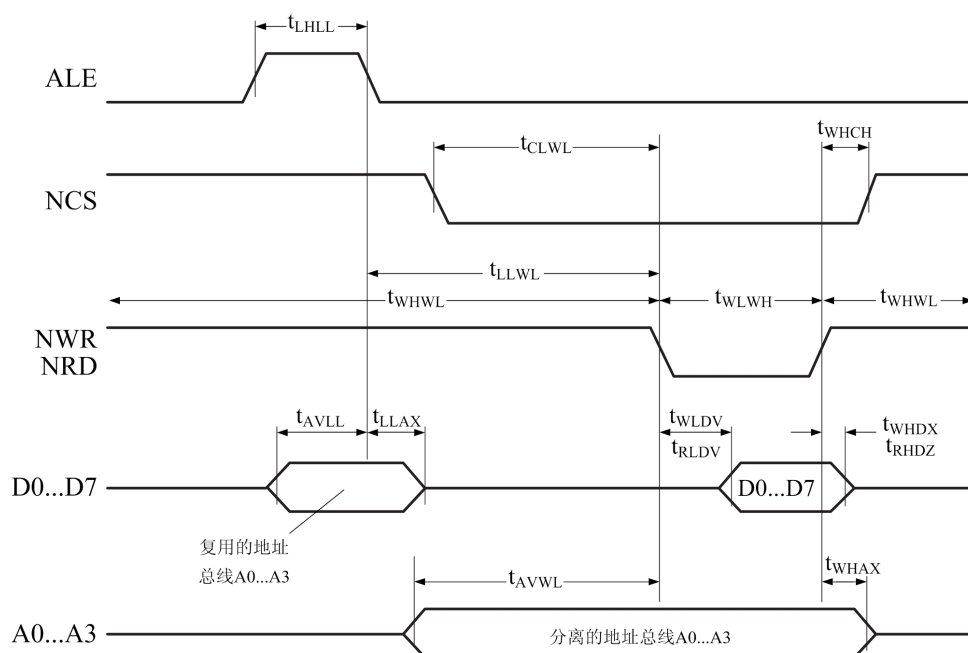


图 40. 分离的读写选通时序

注：对于分离的地址和数据总线，ALE 信号无关，且不用考虑数据总线上的复用地址。
对于复用的地址和数据总线，A0-A3 的连接必须如 2.1.1 节“自动检测微控制器接口类型”中描述的连接。

5.2.2 共用的读/写选通总线时序

表 166. 分离的读/写选通的时序特性

符号	参数	最小值	最大值	单位
t_{LHLL}	AS 脉冲宽度	10	-	ns
t_{AVLL}	复用地址总线到 AS 低电平有效（地址建立时间）	5	-	ns
t_{LLAX}	AS 低电平后复用地址总线有效（地址保持时间）	5	-	ns
t_{LLSL}	AS 低电平到 NDS 低电平	10	-	ns
t_{CLSL}	NCS 低电平到 NDS 低电平	0	-	ns
t_{SHCH}	NDS 高电平到 NCS 高电平	0	-	ns
$t_{SLDV,R}$	NDS 低电平到 DATA 有效（读周期）	-	35	ns
t_{SHDZ}	NDS 高电平到 DATA 高阻（读周期）	-	10	ns

t_{DVSH}	DATA 有效到 NDS 高电平（写周期）	5	-	ns
t_{SHDX}	NDS 高电平后 DATA 保持（写周期，保持时间）	5	-	ns
t_{SHRX}	NDS 高电平后 R/NW 保持	5	-	ns
t_{SLSH}	NDS 脉冲宽度	40	-	ns
t_{AVSL}	分离地址总线有效到 NDS 低电平（建立时间）	30	-	ns
t_{SHAX}	NDS 高电平后分离地址总线有效（保持时间）	5	-	ns

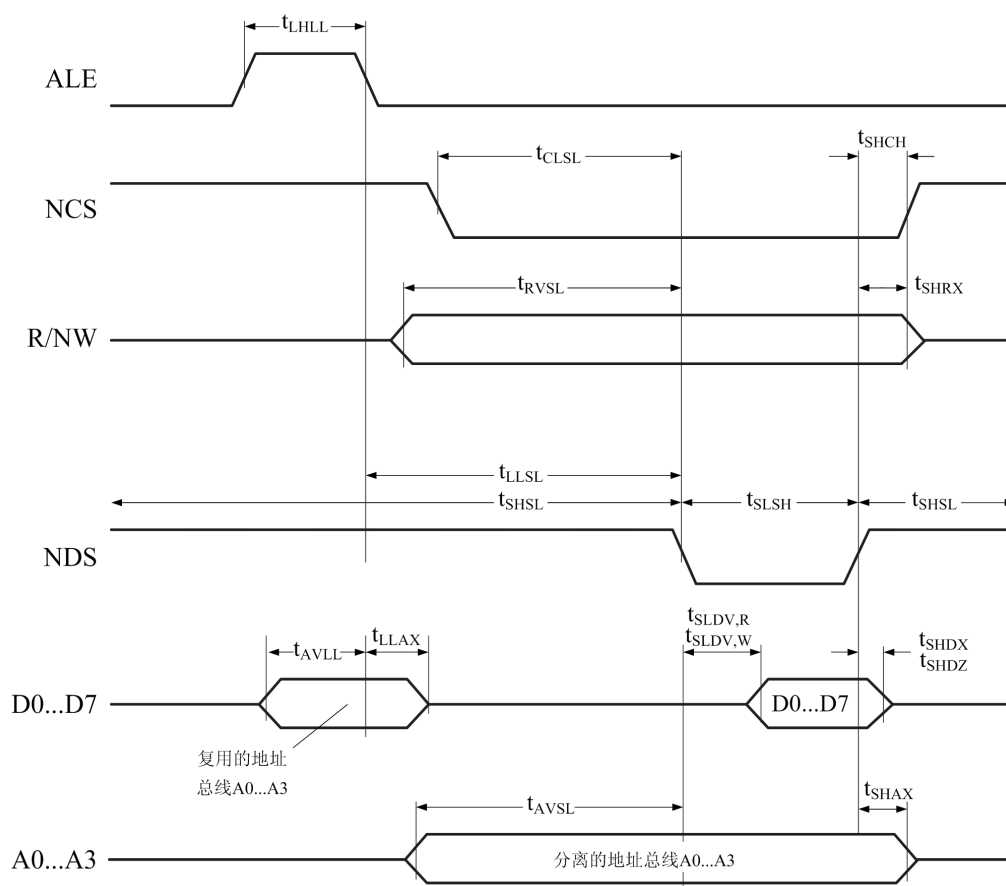


图 41. 共用的读写选通时序

注：对于分离的地址和数据总线，ALE 信号无关，且不用考虑数据总线上的复用地址。
对于复用的地址和数据总线，A0-A3 的连接必须如 2.1.1 节“自动检测微控制器接口类型”中描述的连接。

应用信息

MS512 采用互补天线驱动器的典型应用框图如图 42 所示。

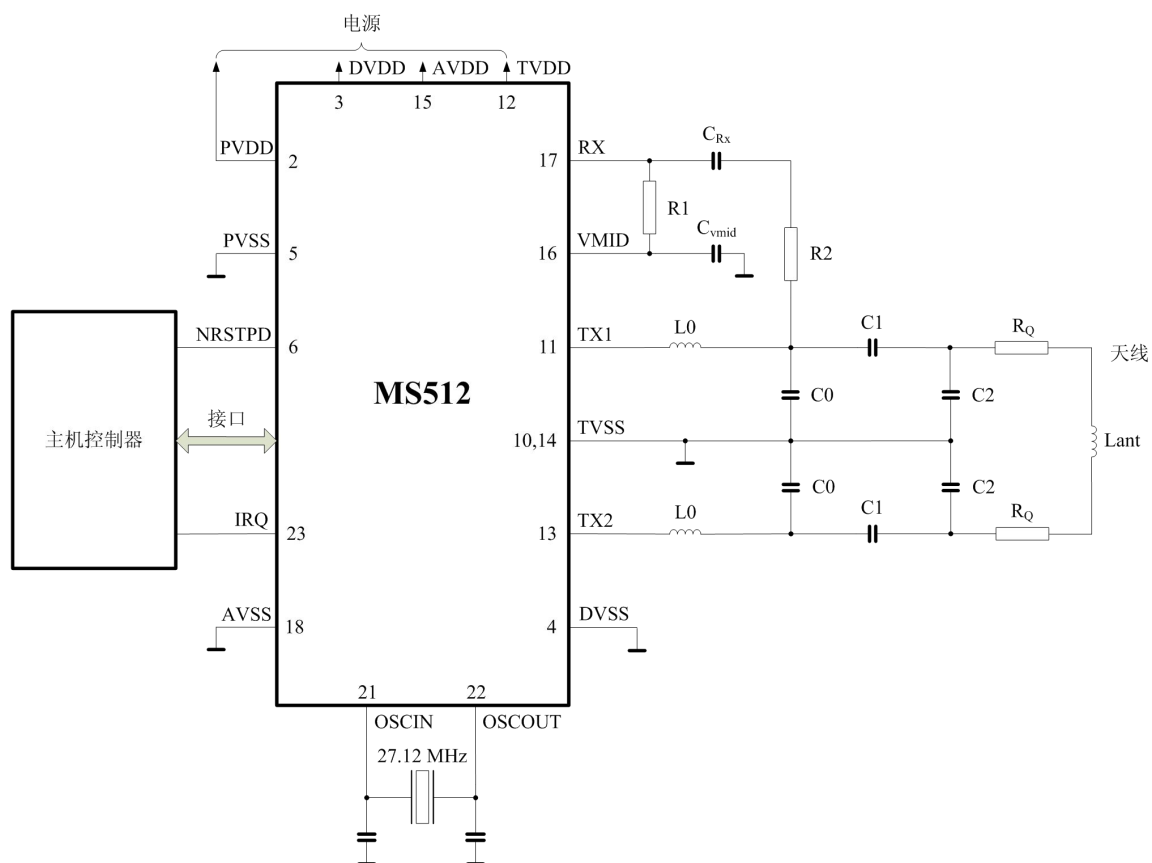


图 42. 典型应用图

测试信号

6.1 自检

MS512 可以进行数字自检。可按照如下步骤启动自检：

1. 执行软件复位。
2. 往内部缓冲区写入 25 字节 00h 来清零缓冲区。执行 Config 指令。
3. 通过向 AutoTestReg 寄存器中写入 09h 来使能自检。
4. 向 FIFO 缓冲器区写 00h。
5. 执行 CalcCRC 指令来启动自检。
6. 启动自检。
7. 当自检完成时，FIFO 缓冲器包含下列的 64 个字节：

00h, EBh, 66h, BAh, 57h, BFh, 23h, 95h,
D0h, E3h, 0Dh, 3Dh, 27h, 89h, 5Ch, DEh,
9Dh, 3Bh, A7h, 00h, 21h, 5Bh, 89h, 82h,
51h, 3Ah, EBh, 02h, 0Ch, A5h, 00h, 49h,
7Ch, 84h, 4Dh, B3h, CCh, D2h, 1Bh, 81h,
5Dh, 48h, 76h, D5h, 71h, 61h, 21h, A9h,
86h, 96h, 83h, 38h, CFh, 9Dh, 5Bh, 6Dh,
DCh, 15h, BAh, 3Eh, 7Dh, 95h, 3Bh, 2Fh

6.2 测试总线

测试总线用于生产测试。以下配置可用于改善采用 MS512 的系统设计。测试总线允许内部信号通过数字接口输出。测试总线包括两种测试信号，该总线使用 TestSel2Reg 寄存器的 TestBusSel[4:0] 位指定的子地址。

表 167. 测试总线信号：TestSel2Reg=07h

管脚	D6	D5	D4	D3	D2	D1	D0
测试信号	sdata	scoll	svalid	sover	RCV_reset	RFon, filtered	Envelope

表 168. 测试信号描述

管脚	测试信号名	描述
D6	sdata	接收到的数据流
D5	scoll	位冲突检测（仅适用于 106kbit）
D4	svalid	sdata 和 scoll 信号有效
D3	sover	接收器检测到一个结束位（仅 ISO/IEC 14443A 模式）
D2	RCV_reset	接收器复位
D1	RFon, filtered	内部 RF 检测器的值
D0	Envelope	内部编码器的输出

表 169. 测试总线信号：TestSel2Reg=0Dh

管脚	D6	D5	D4	D3	D2	D1	D0
测试信号	clkstable	clk27/8	clk27rf/8	clkrf13rf/4	clk27	clk27rf	clk13rf

表 170. 测试信号描述

管脚	内部信号名	描述
D6	clkstable	振荡器输出信号

D5	clk27/8	振荡器输出信号 8 分频
D4	clk27rf/8	clk27rf 信号 8 分频
D3	clkrf13rf/4	clk13rf 信号 4 分频
D2	clk27	振荡器输出信号
D1	clk27rf	RF 时钟乘 2
D0	clk13rf	13.56MHz 的 RF 时钟

表 171. 测试总线信号：TestSel2Reg=19h

管脚	D6	D5	D4	D3	D2	D1	D0
测试信号	–	TRunning	–	–	–	–	–

表 172. 测试信号描述

管脚	内部信号名	描述
D6	–	–
D5	TRunning	TimerIRQ 变高后，TRunning 停止在 1 同步脉冲周期
D4	–	–
D3	–	–
D2	–	–
D1	–	–
D0	–	–

6.3 管脚 AUX 的测试信号

MS512 允许用户选择管脚 AUX1 或 AUX2 的内部信号来进行测试。这种测试有助于在设计阶段优化设计，或用于自检。

表 171 显示了通过设置 AnalogTestReg 寄存器的 AnalogSelAux1[3:0]和 AnalogSelAux2[3:0]位可以切换 AUX1 或 AUX2 管脚的信号。

注：DAC 存在电流输出，因此建议将一个 510Ω的下拉电阻连接到管脚 AUX1/AUX2。

表 173. 测试信号描述

SelAux	管脚 AUX1/AUX2 的信号
0000	三态
0001	DAC: 寄存器 TestDAC1 或 TestDAC2
0010	DAC: 测试信号 Corr1
0011	DAC: 测试信号 Corr2
0100	DAC: 测试信号 MinLevel
0101	DAC: 测试信号 ADC_I
0110	DAC: 测试信号 ADC_Q
0111	DAC: 测试信号 ADC_I 叠加 ADC_Q
1000	用于生产测试的测试信号
1001	SAM 时钟
1010	高电平
1011	低电平
1100	TxActive
1101	RxActive
1110	副载波检测

1111	TstBusBit
------	-----------

6.4 PRBS

基于 ITU-T0150 的伪随机二进制序列 PRBS9 和 PRBS15 由寄存器 TestSel2Reg 定义。任何一种数据流的传输由 Transmit 指令启动。根据所选择的模式自动产生头码/同步字节/起始位/奇偶位。

注：在进入 PRBS 模式前，所有与发送数据相关的寄存器都必须遵循 ITU-T0150 来进行配置。

缩写

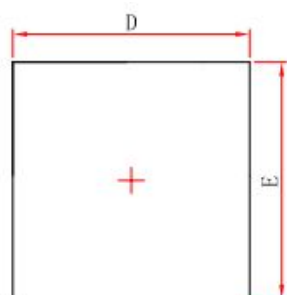
表 174. 缩写

缩写	描述
ADC	模数转换器
BPSK	二进制移相键控
CRC	循环冗余校验
CW	连续波
DAC	数模转换器
EOF	帧结束
HBM	人体模式
I ² C	集成电路总线
LSB	最低有效位
MISO	主入从出
MM	机器模式
MOSI	主出从入
MSB	最高有效位
NRZ	不归零码
NSS	非从机选择
PLL	锁相环
PRBS	伪随机二进制序列
RX	接收器
SOF	帧起始
SPI	同步物理接口
TX	发送器
UART	通用异步接收器

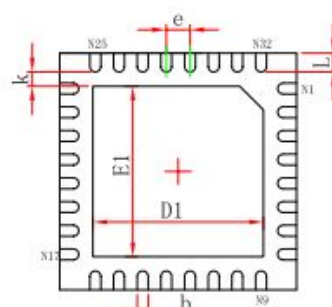
封装外形图-QFN32

QFN32

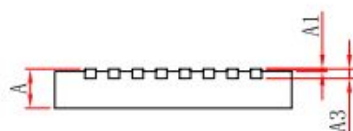
UNIT: mm



Top View



Bottom View



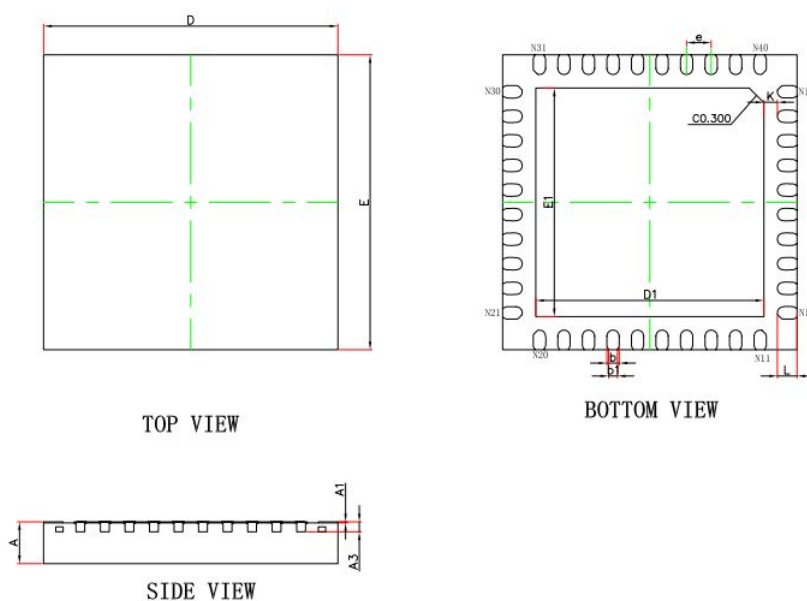
Side View

Symbol	Dimensions In Millimeters		Dimensions In Inches	
	Min.	Max.	Min.	Max.
A	0.700/0.800	0.800/0.900	0.028/0.031	0.031/0.035
A1	0.000	0.050	0.000	0.002
A3	0.203REF.		0.008REF.	
D	4.924	5.076	0.194	0.200
E	4.924	5.076	0.194	0.200
D1	3.300	3.500	0.130	0.138
E1	3.300	3.500	0.130	0.138
k	0.200MIN.		0.008MIN.	
b	0.180	0.300	0.007	0.012
e	0.500TYP.		0.020TYP.	
L	0.324	0.476	0.013	0.019

封装外形图-QFN40

QFN40

UNIT: mm



Symbol	Dimensions In Millimeters		Dimensions In Inches	
	MIN.	MAX.	MIN.	MAX.
A	0.800	0.900	0.031	0.035
A1	0.000	0.050	0.000	0.002
A3	0.203REF.		0.008REF.	
D	5.900	6.100	0.232	0.240
E	5.900	6.100	0.232	0.240
D1	4.550	4.750	0.179	0.187
E1	4.550	4.750	0.179	0.187
b	0.200	0.300	0.008	0.012
b1	0.180REF.		0.007REF.	
e	0.500BSC.		0.020BSC.	
k	0.275REF.		0.011REF.	
L	0.300	0.500	0.012	0.020



MOS电路操作注意事项:

静电在很多地方都会产生，采取下面的预防措施，可以有效防止MOS电路由于受静电放电影响而引起的损坏：

- 操作人员要通过防静电腕带接地。
- 设备外壳必须接地。
- 装配过程中使用的工具必须接地。
- 必须采用导体包装或抗静电材料包装或运输。